



Norwegian University of Science and Technology
Faculty of Information Technology, Mathematics and Electrical Engineering
The Department of Computer and Information Science

TDT4160
DATAMASKINER GRUNNKURS
EKSAMEN

8. AUGUST, 2009, 09:00–13:00

Kontakt under eksamen:

Marius Grannæs 97005663

Tillate hjelpemidler:

D.

Ingen trykte eller håndskrevne hjelpemidler tillatt.

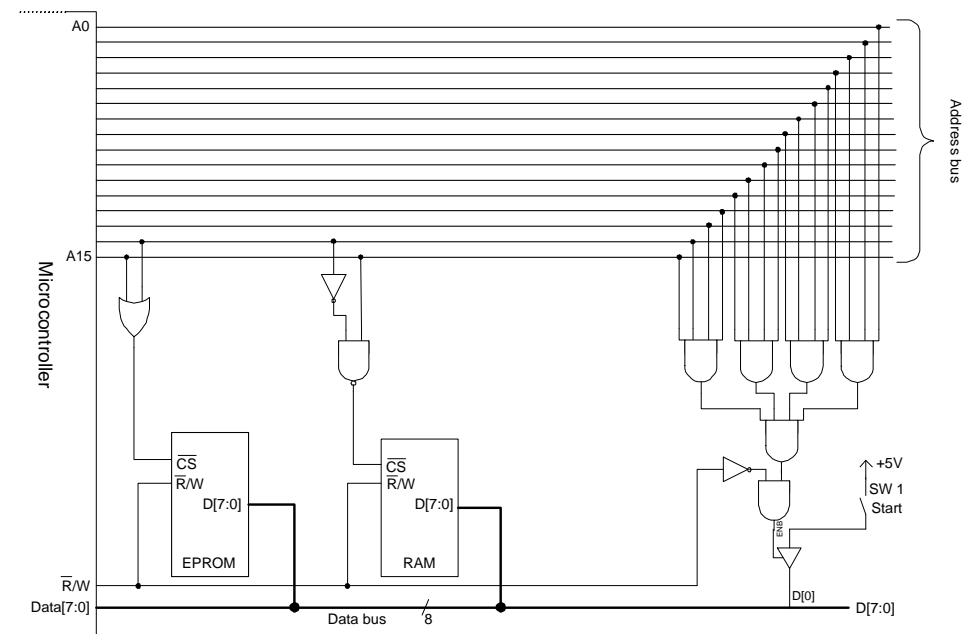
Bestemt, enkel kalkulator tillatt.

Målform:

Bokmål

OPPGAVE 1: DIGITALT LOGISK NIVÅ (20%)

I Figur 1 er EPROM, RAM og en bryter (SW 1) koblet til en felles buss. Systemet er programmert til å starte når SW 1 aktiveres. EPROM og RAM har aktivt lavt (logisk "0") CS (Chip Select)-signal.



Figur 1: Adressedekoding.

- a. Er adresseområdet for enhetene i systemet korrekt angitt i minnekartet vist i Figur 2? Eventuelt, hva er korrekt adresseområde for enhetene i systemet?

FFFF	SW 1
FFFE	Ledig
C000	RAM
BFFF	
8000	Ledig
7FFF	
4000	EPROM
3FFF	
0000	

Figur 2: Minnekart for systemet vist i Figur 1.

- b. Hvor mye RAM kan systemet utvides til (alle eksisterende enheter beholdes)? Begrunn svaret.

OPPGAVE 2: MIKROARKITEKTUR OG MIKROINSTRUKSJONER (20% (5% PÅ A OG B; 10% PÅ C))

Bruk vedlagte diagram i figur 6, figur 7, figur 8 og figur 9 for IJVM til å løse oppgavene.

- a. Forklar funksjonen til boksen "4-to-16 Decoder".
- b. Lag mikroinstruksjon(er) for følgende IJVM-operasjon: last register "OPC" med innholdet i register "H" + 1.
Se vekk fra Addr- og J-felta i mikroinstruksjonsformatet. Angi korrekte bit for ALU, C, Mem og B gitt i Figur 7.
- c. Følgende innhold i registrene er gitt:

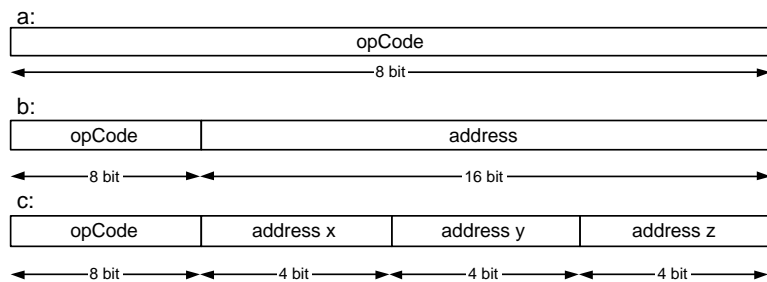
"SP" inneholder: hex(0FF1),
"LV" inneholder: hex(0FF2),
"CPP" inneholder: hex(0FF3),
"TOS" inneholder: hex(0FF4),
"OPC" inneholder: hex(0FF5),
"H" inneholder: hex(0FF6).

Hva inneholder TOS etter at de to oppgitte mikroinstruksjoner er utført? Se vekk fra bit i mikroinstruksjonsformatet som ikke er oppgitt. Gi svaret i hex format.

1: ALU: 010100, C: 10000000, Mem: 000 og B: 1000
2: ALU: 111101, C: 00100000, Mem: 000 og B: 0101

OPPGAVE 3: INSTRUKSJONSSETT ARKITEKTUR (ISA)(20%)

For en tenkt maskin er noen av de mulige instruksjonsformatene vist i Figur 3.



Figur 3: Mulige instruksjonsformat.

- Hvilket adresseformat er gitt i de tre instruksjonene i Figur 3?
- Er det mest sannsynlig at dette er instruksjonsformatet til en RISC-maskin eller CISC-maskin? Begrunn svaret.
- Hvilken av de tre instruksjonsformatene i Figur 3 er best egnet for register-register operasjoner? Begrunn svaret.
- Hva er "indexed addressing"?

OPPGAVE 4: DATAMASKINER (20% (8% PÅ A OG B; 4% PÅ C))

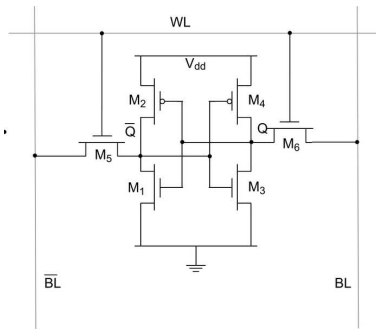
- a. Figur 10 og Figur 11 i vedleggene viser forskjellige versjoner av IJVM-mikroarkitekturer. Hvilken påvirkning har forandringene på "Instruction-Level-Parallelism" (ILP)?
- b. Hvilken endringer i Figur 9 er det sannsynlig å anta at en får hvis en bytter fra mikroarkitekturen gitt i Figur 11 til mikroarkitekturen gitt i Figur 10.
- c. Kan en øke ILP uten å endre "Instruction Set Architecture" (ISA)? Begrunn svaret.

OPPGAVE 5: DIVERSE (20%)

Finn rett svaralternativ for oppgavene. Korrekte svar gir 4% uttelling, feil svar gir -2% og vet ikke (ikke svar, flere svar) gir ingen uttelling.

- a. Hvor mange mikroinstruksjoner kan "control store" inneholde, se figur 6
 - 1) 512.
 - 2) 36.
 - 3) 18432.
 - 4) 9.
- b. Hvilken påstand er **ikke** korrekt for Instruksjonssetarkitektur (ISA).
 - 1) Første nivå tilgjengelig for (ekspert-)brukere.
 - 2) Grense mellom maskinvare og programvare.
 - 3) Grense mellom mikroarkitekturnivå og digitaltlogisknivå.
 - 4) Opprinnelig det eneste nivået.

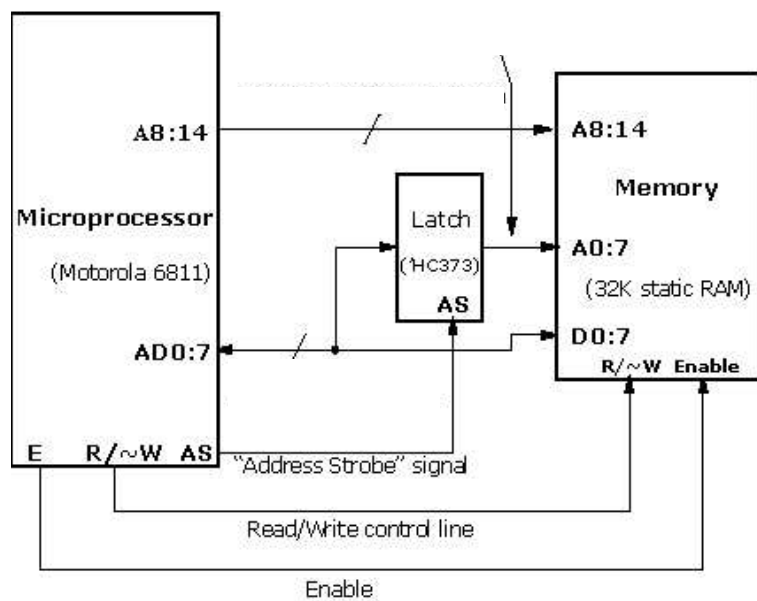
c. Hva er skissert i Figur 4?



Figur 4: Mystisk dings.

- 1) Dynamisk RAM-celle.
- 2) Halvadder.
- 3) Statisk RAM-celle.
- 4) Multiplexer.

d. Hvilken påstand for mikrokontrollersystemet i Figur 5 er korrekt?



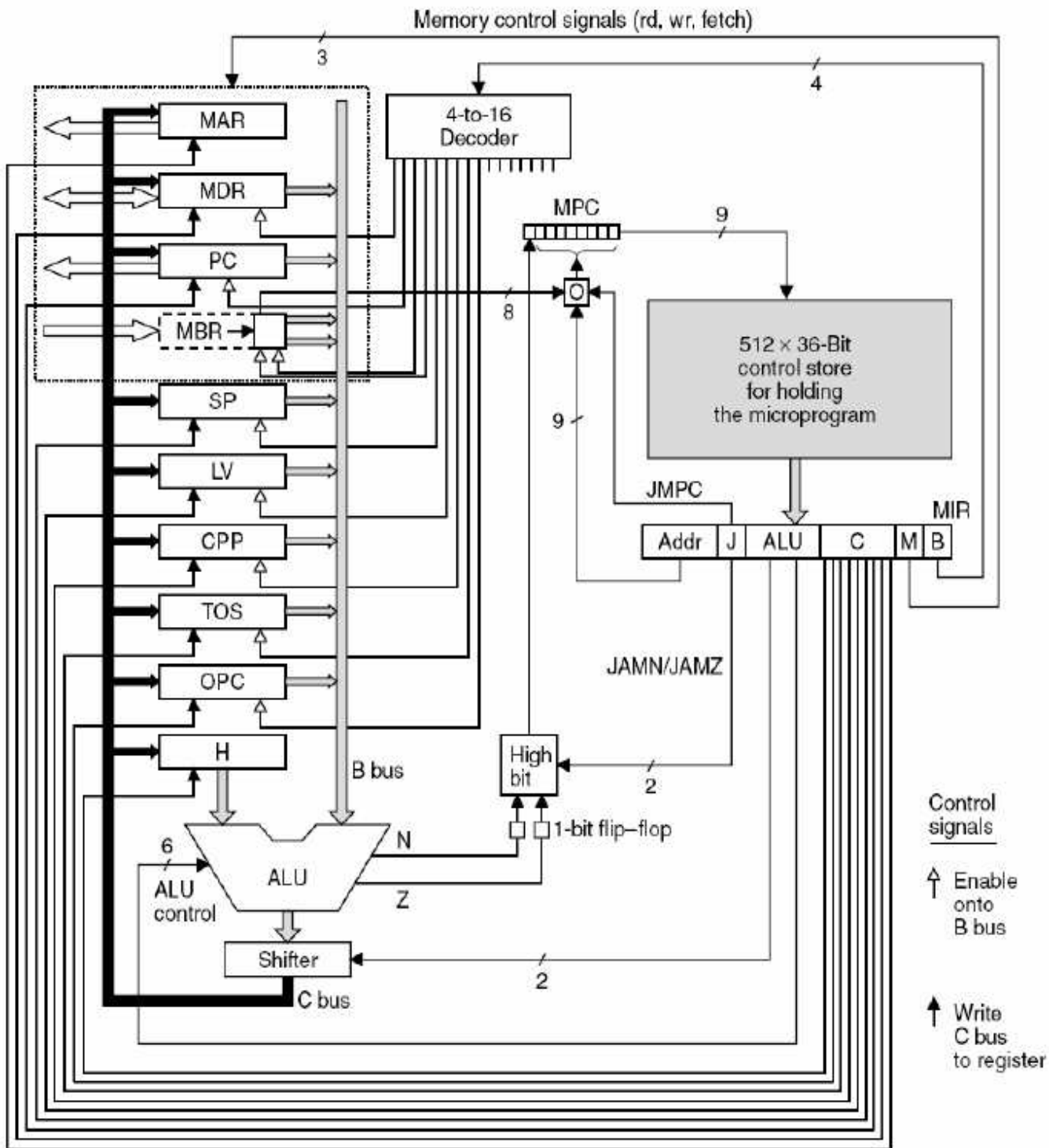
Figur 5: Mikrokontrollersystem.

- 1) Prosessoren adresserer 2^8 minnelokasjoner.
- 2) Systemet har multiplexet adresse- og databuss.
- 3) Det er et system uten databuss.
- 4) Det er et system med kun seriebuss.

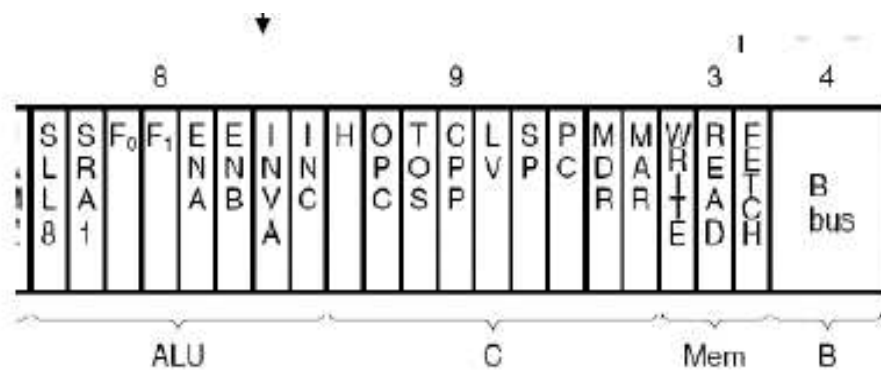
e. Under følger en rekke påstander om datamaskinkomponenter. Hvilken påstand er korrekt?

- 1) Superscalare prosessorer må være RISC-maskiner.
- 2) Ved å innføre Superscalaritet øker ILP.
- 3) PROM er en type dynamisk minne.
- 4) EEPROM er en type dynamisk minne.

IJVM vedlegg



Figur 6: Blokkdiagram (IJVM).



B bus registers

- | | |
|----------|-----------|
| 0 = MDR | 5 = LV |
| 1 = PC | 6 = CPP |
| 2 = MBR | 7 = TOS |
| 3 = MBRU | 8 = OPC |
| 4 = SP | 9-15 none |

Figur 7: Mikroinstruksjonsformat (IJVM).

ANSWER KEY FOR THE EXAM

OPPGAVE 1: DIGITALT LOGISK NIVÅ (20%)

I Figur 1 er EPROM, RAM og en bryter (SW 1) koblet til en felles buss. Systemet er programmert til å starte når SW 1 aktiveres. EPROM og RAM har aktivt lavt (logisk "0") CS (Chip Select)-signal.

- a. Er adresseområdet for enhetene i systemet korrekt angitt i minnekartet vist i Figur 2? Eventuelt, hva er korrekt adresseområde for enhetene i systemet?

Answer: EPROM: hex(0000) - hex(3FFF) RAM : hex(8000) - hex(BFFF) SW 1: hex(FFFF)
JA

- b. Hvor mye RAM kan systemet utvides til (alle eksisterende enheter beholdes)? Begrunn svaret.

Answer: Maks ved RAM i område hex(4000) - hex(7FFF) og hex(C000)- hex(FFFFE).

OPPGAVE 2: MIKROARKITEKTUR OG MIKROINSTRUKSJONER (20% (5% PÅ A OG B; 10% PÅ C))

Bruk vedlagte diagram i figur 6, figur 7, figur 8 og figur 9 for IJVM til å løse oppgavene.

- a. Forklar funksjonen til boksen "4-to-16 Decoder".

Answer: Decode 4 bit styresignal til 16 unike register enable for å legge register innhold ut på B-bussen (kunn eit register omgongen kan legjast ut på B-bussen)

- b. Lag mikroinstruksjon(er) for følgende IJVM-operasjon: last register "OPC" med innholdet i register "H" + 1.

Se vekk fra Addr- og J-felta i mikroinstruksjonsformatet. Angi korrekte bit for ALU, C, Mem og B gitt i Figur 7.

Answer: ALU: 111001 (A) C: 01000000 (OPC) Mem: 000 (ingen mem opprasjon) B: 1111 (15 non alt går sidan ALU er satt til kunn A inngang)

- c. Følgende innhold i registrene er gitt:

"SP" inneholder: hex(0FF1),
"LV" inneholder: hex(0FF2),
"CPP" inneholder: hex(0FF3),
"TOS" inneholder: hex(0FF4),
"OPC" inneholder: hex(0FF5),
"H" inneholder: hex(0FF6).

Hva inneholder TOS etter at de to oppgitte mikroinstruksjoner er utført? Se vekk fra bit i mikroinstruksjonsformatet som ikke er oppgitt. Gi svaret i hex format.

1: ALU: 010100, C: 100000000, Mem: 000 og B: 1000

2: ALU: 111101, C: 001000000, Mem: 000 og B: 0101

Answer: 1: Laste LV eller OPC (eventuelt med + 1 option viss ikkje i neste micro opp) inn i H

ALU: 010100 (B) C: 100000000 (H) Mem: 000 (ingen mem opprasjon) B: 1000 (8 OPC)

2 addere H + LV + 1 skriv til TOS.

ALU: 111101 (A+B +1) C: 001000000 (TOS) Mem: 000 (ingen mem opprasjon) B: 0101 (5 LV)

TOS = LV + (OPC + 1) (TOS = 1FE8)

OPPGAVE 3: INSTRUKSJONSSETT ARKITEKTUR (ISA)(20%)

For en tenkt maskin er noen av de mulige instruksjonsformatene vist i Figur 3.

- a. Hvilket adresseformat er gitt i de tre instruksjonene i Figur 3?

Answer: a: zero-address
b: one-address
c: three-address

- b. Er det mest sannsynlig at dette er instruksjonsformatet til en RISC-maskin eller CISC-maskin? Begrunn svaret.

Answer: CISC, forskjellig lengde, mange adresseringsmodi.

- c. Hvilken av de tre instruksjonsformatene i Figur 3 er best egnet for register-register operasjoner? Begrunn svaret.

Answer: c. (tre regs kan gis).

- d. Hva er "indexed addressing"?

Answer: register inneholder offset til gitt adresse (adr. gitt annastad).

OPPGAVE 4: DATAMASKINER (20% (8% PÅ A OG B; 4% PÅ C))

- a. Figur 10 og Figur 11 i vedleggene viser forskjellige versjoner av IJVM-mikroarkitekturer. Hvilken påvirkning har forandringene på "Instruction-Level-Parallelism" (ILP)?

Answer: • Pipeline, flere instruksjoner utføres samtidig.
IFU slepp bruke tid (microinst) på å hente instruksjonar i parallell

- b. Hvilken endringer i Figur 9 er det sannsynlig å anta at en får hvis en bytter fra mikroarkitekturen gitt i Figur 11 til mikroarkitekturen gitt i Figur 10.

Answer: kortere klokkeperiode, no er det eit pipelina system der klokkeperioden er gitt av tregaste enhet i piplina, e.g. ALU. Samnt fleire inst. er under utføres samtidig.

- c. Kan en øke ILP uten å endre "Instruction Set Architecture" (ISA)? Begrunn svaret.

Answer: Ja, ved samlebånd aukar ILP.

OPPGAVE 5: DIVERSE (20%)

Finn rett svaralternativ for oppgavene. Korrekte svar gir 4% uttelling, feil svar gir -2% og vet ikke (ikke svar, flere svar) gir ingen uttelling.

- (i) Hvor mange mikroinstruksjoner kan "control store" inneholde, se figur 6

- 1) 512.
- 2) 36.
- 3) 18432.
- 4) 9.

Answer: 1

- (ii) Hvilken påstand er **ikke** korrekt for Instruksjonssetarkitektur (ISA).

- 1) Første nivå tilgjengelig for (ekspert-)brukere.
- 2) Grense mellom maskinvare og programvare.
- 3) Grense mellom mikroarkitekturnivå og digitaltlogisknivå.
- 4) Opprinnelig det eneste nivået.

Answer: 3

(iii) Hva er skissert i Figur 4?

- 1) Dynamisk RAM-celle.
- 2) Halvadder.
- 3) Statisk RAM-celle.
- 4) Multiplekser.

Answer: 3

(iv) Hvilken påstand for mikrokontrollersystemet i Figur 5 er korrekt?

- 1) Prosessoren adresserer 2^8 minnelokasjoner.
- 2) Systemet har multiplekset adresse- og databuss.
- 3) Det er et system uten databuss.
- 4) Det er et system med kun seriebuss.

Answer: 2

(v) Under følger en rekke påstander om datamaskinkomponenter. Hvilken påstand er korrekt?

- 1) Superscalare prosessorer må være RISC-maskiner.
- 2) Ved å innføre Superscalaritet øker ILP.
- 3) PROM er en type dynamisk minne.
- 4) EEPROM er en type dynamisk minne.

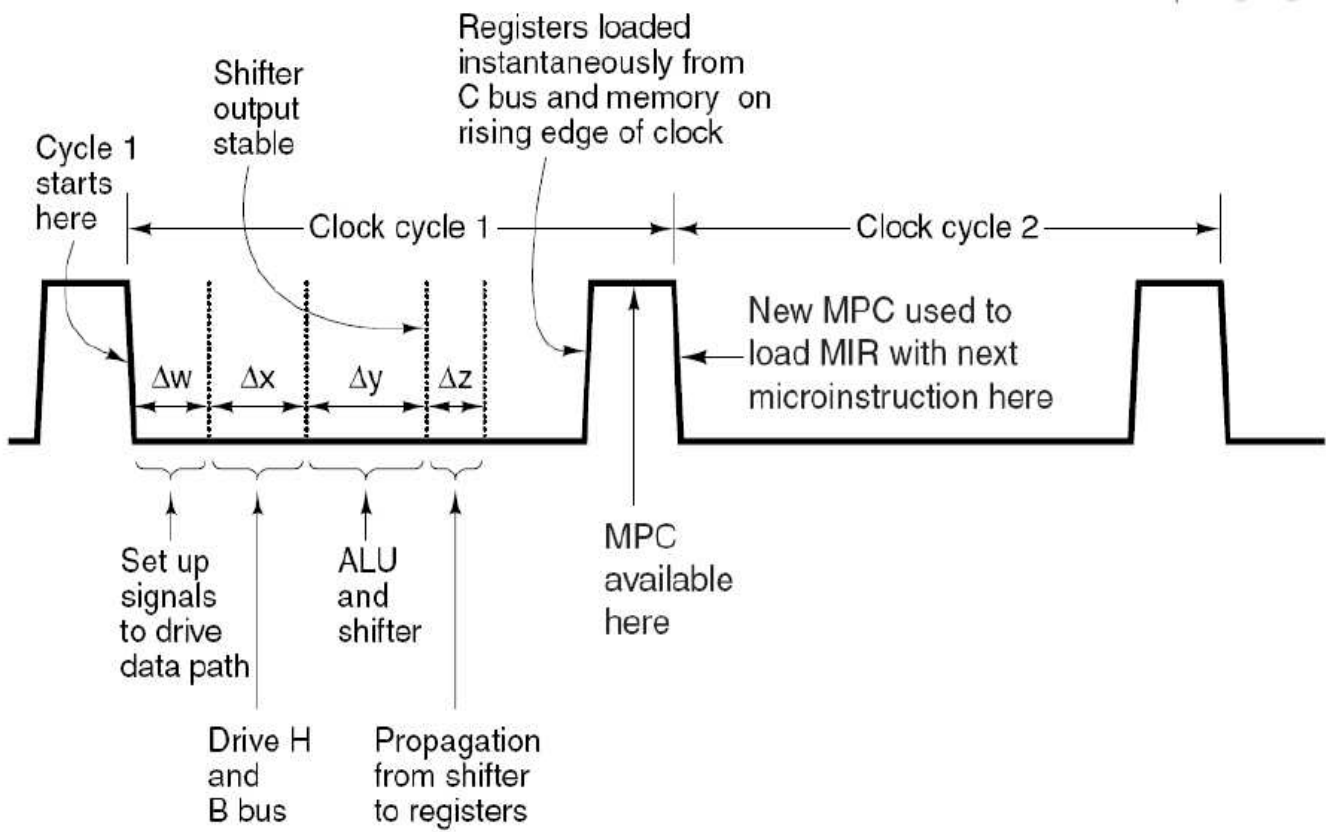
Answer: korrekt? 2

IJVM vedlegg

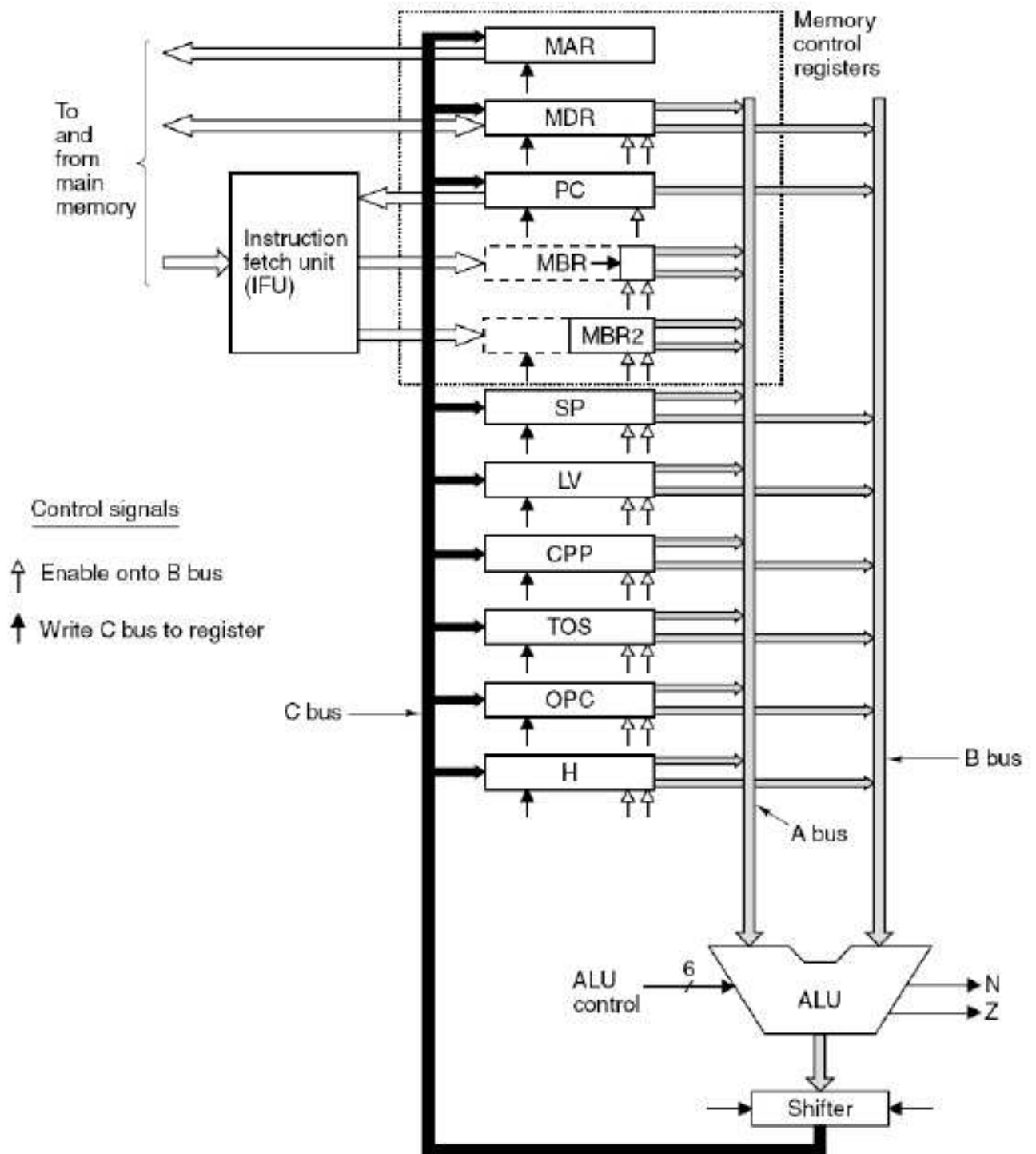
F_0	F_1	ENA	ENB	INVA	INC	Function
0	1	1	0	0	0	A
0	1	0	1	0	0	B
0	1	1	0	1	0	\bar{A}
1	0	1	1	0	0	\bar{B}
1	1	1	1	0	0	A + B
1	1	1	1	0	1	A + B + 1
1	1	1	0	0	1	A + 1
1	1	0	1	0	1	B + 1
1	1	1	1	1	1	B - A
1	1	0	1	1	0	B - 1
1	1	1	0	1	1	-A
0	0	1	1	0	0	A AND B
0	1	1	1	0	0	A OR B
0	1	0	0	0	0	0
1	1	0	0	0	1	1
1	1	0	0	1	0	-1

SLR1 SLL8 Function
0 0 No shift
0 1 Shift 8 bit left
1 0 Shift 1 bit right

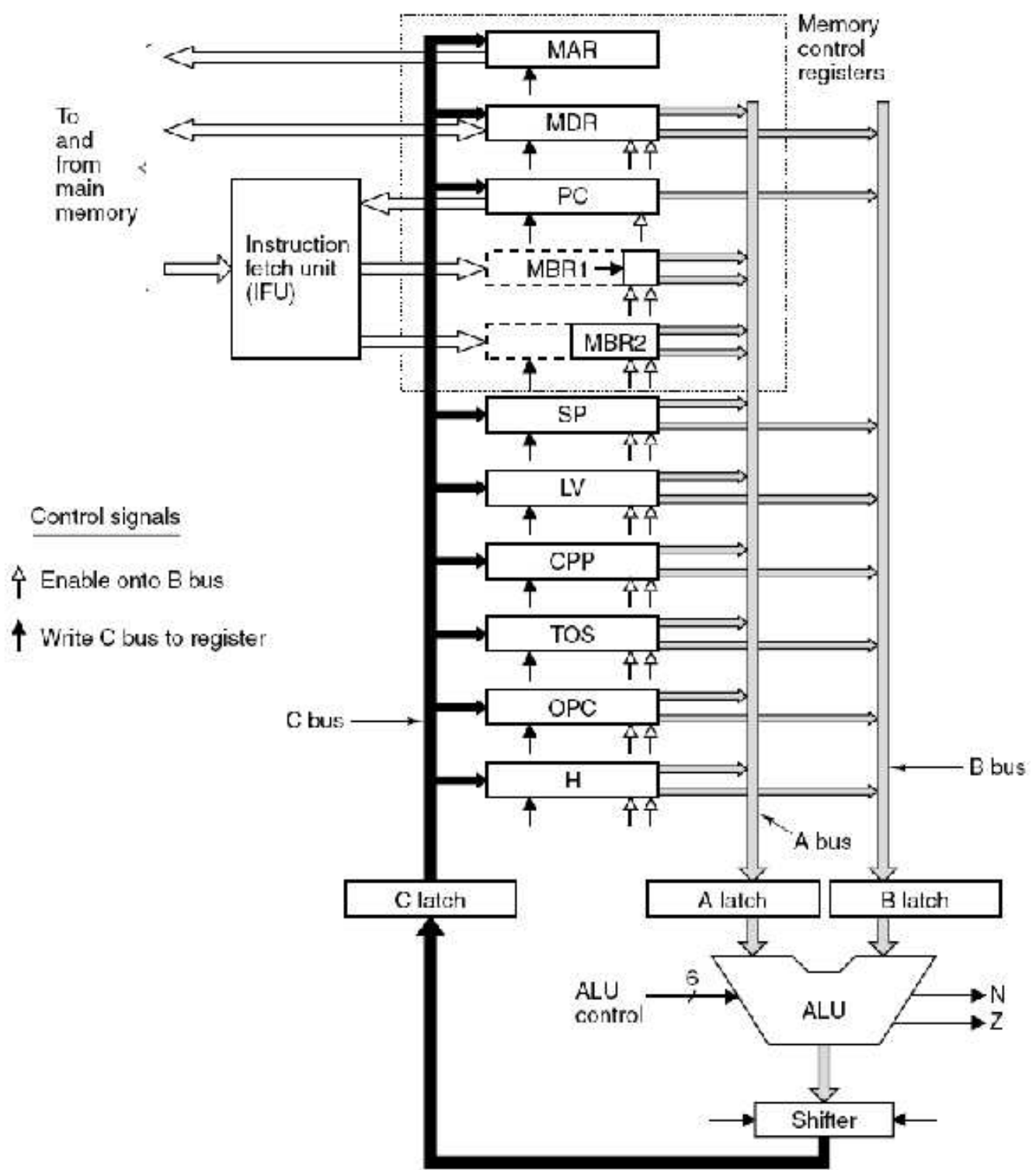
Figur 8: Funksjonstabell for ALU (IJVM).



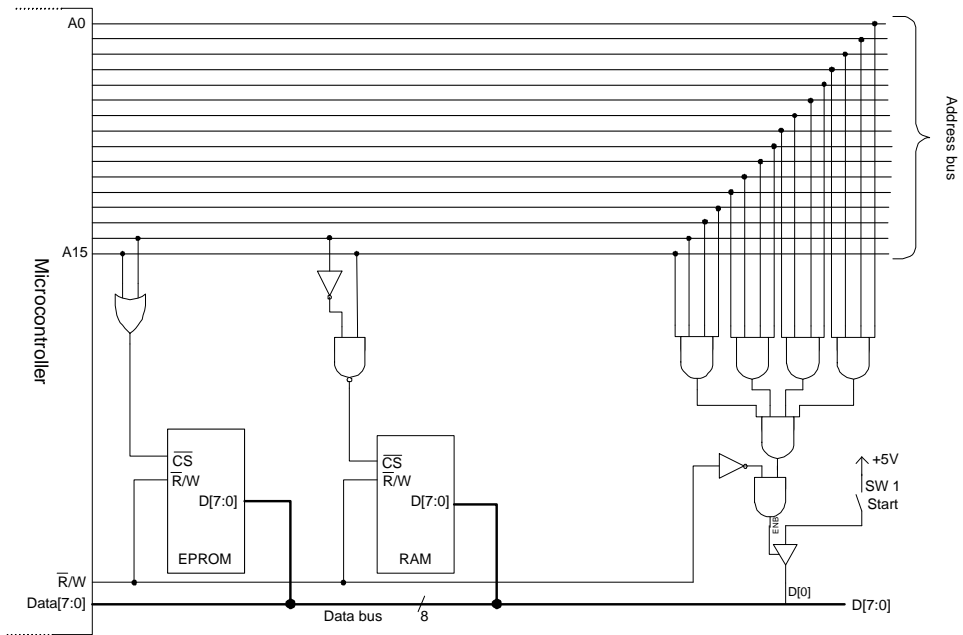
Figur 9: Timingdiagram (IJVM).



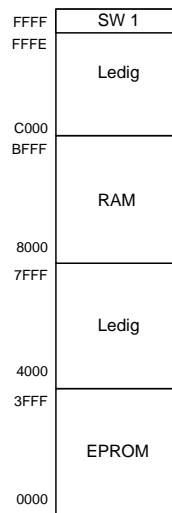
Figur 10: Alternativ mikroarkitektur I.



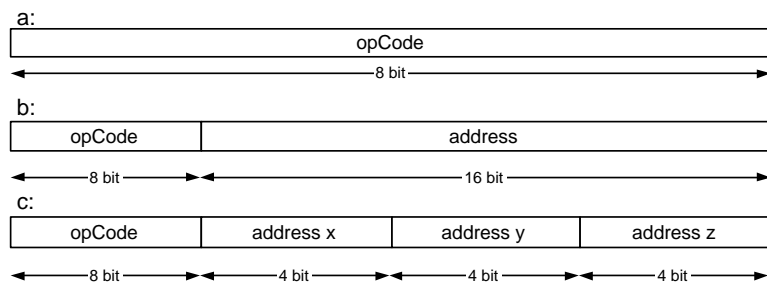
Figur 11: Alternativ mikroarkitektur II.



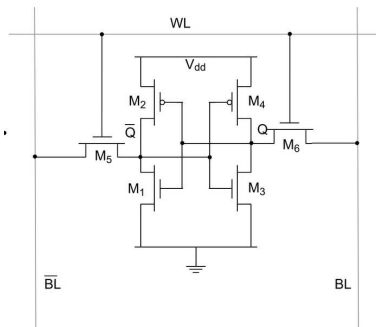
Figur 12: Adressedekoding.



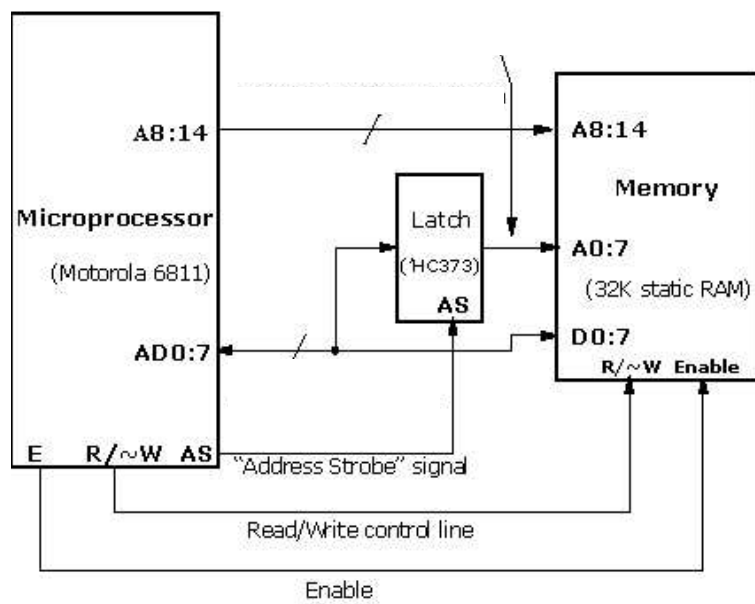
Figur 13: Minnekart for systemet vist i Figur 1.



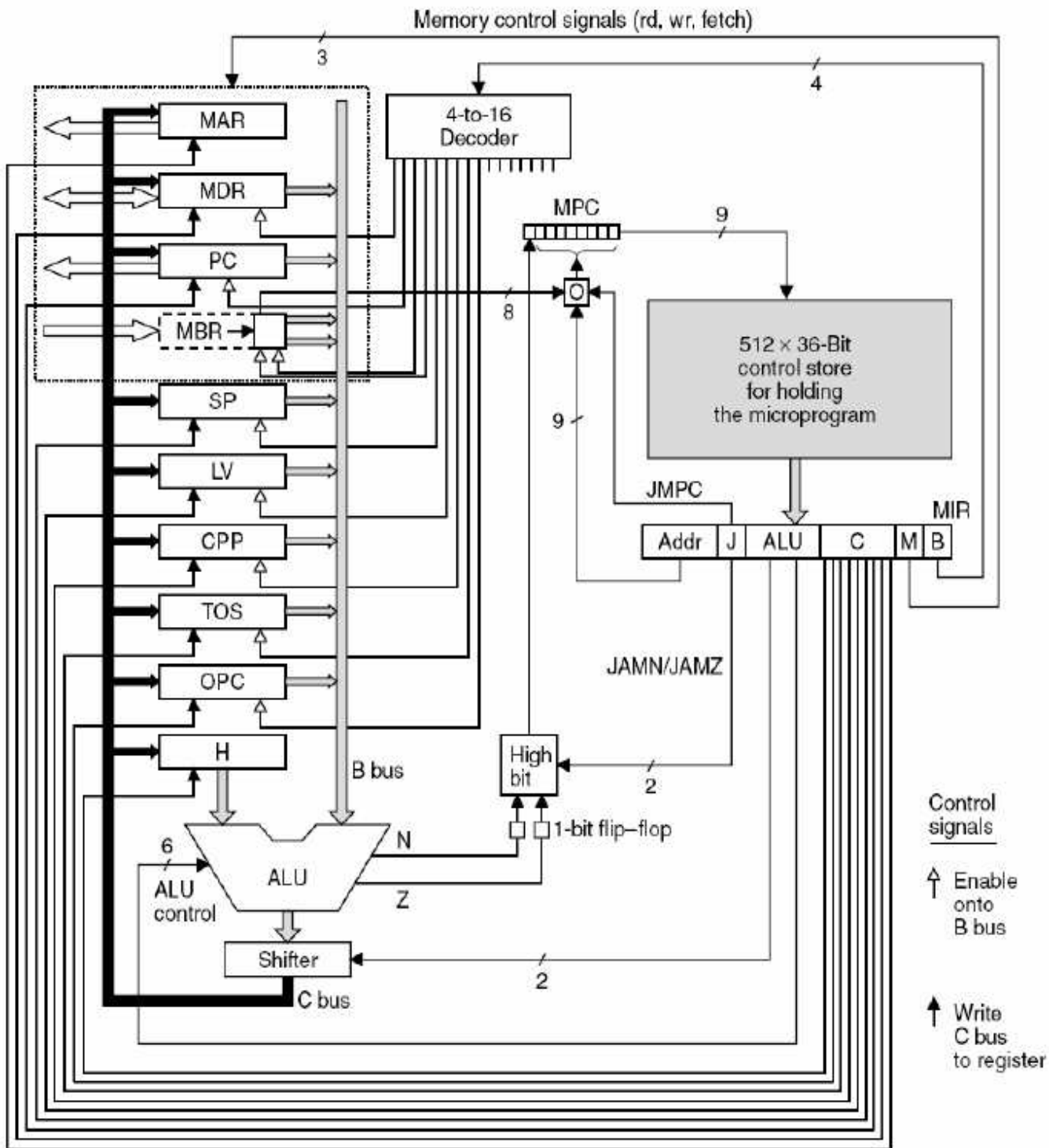
Figur 14: Mulige instruksjonsformat.



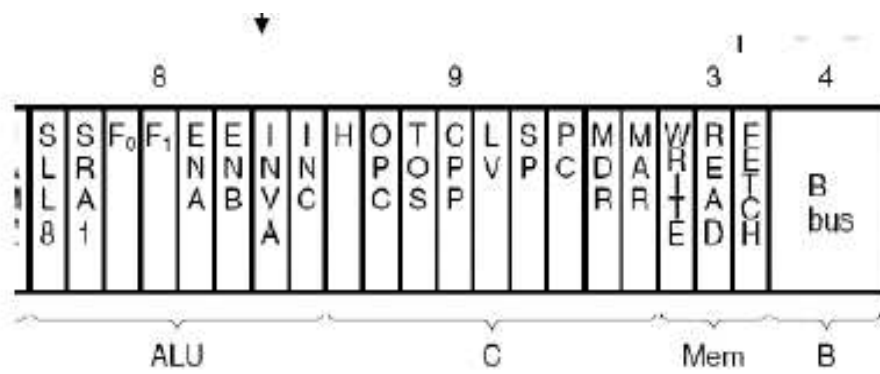
Figur 15: Mystisk dings.



Figur 16: Mikrokontrollersystem.



Figur 17: Blokkdiagram (IJVM).



B bus registers

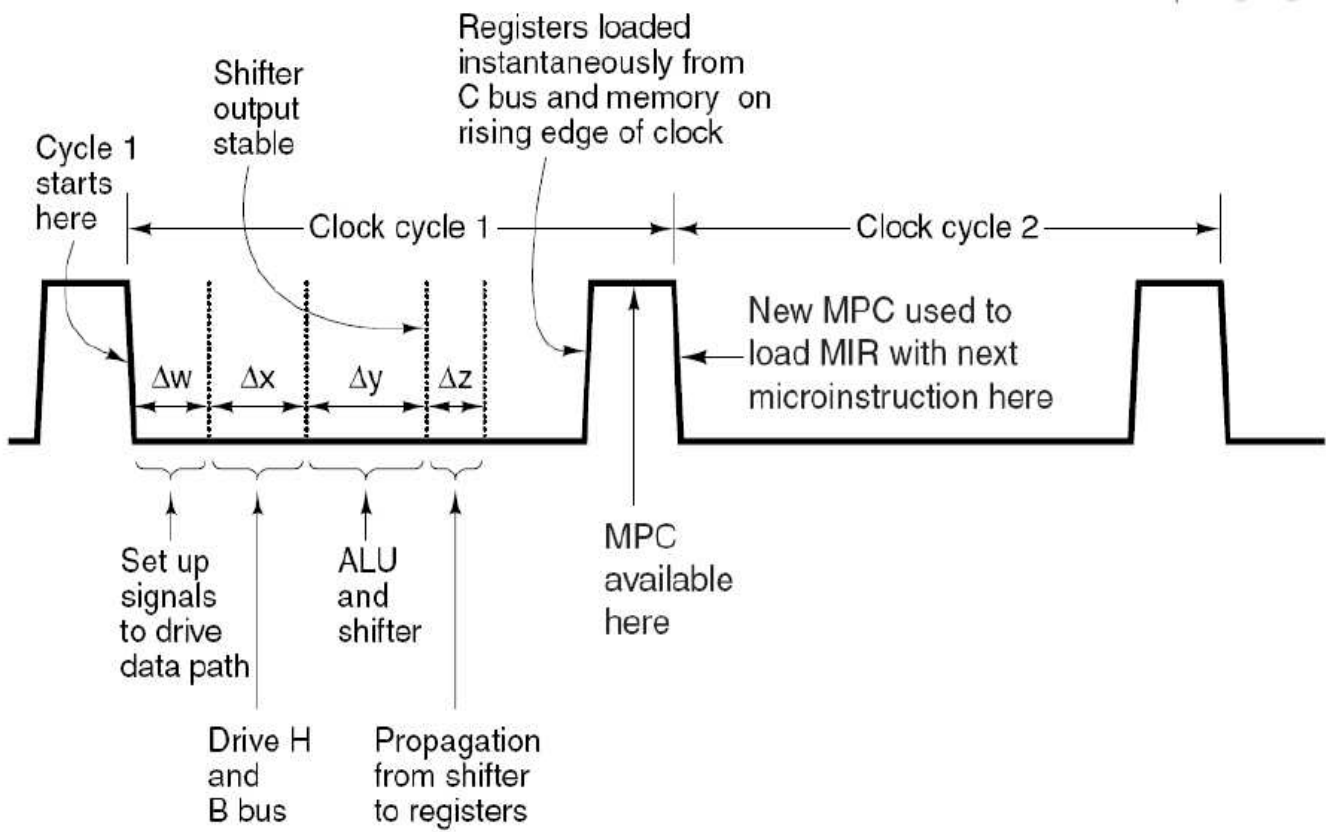
- | | |
|----------|-----------|
| 0 = MDR | 5 = LV |
| 1 = PC | 6 = CPP |
| 2 = MBR | 7 = TOS |
| 3 = MBRU | 8 = OPC |
| 4 = SP | 9-15 none |

Figur 18: Mikroinstruksjonsformat (IJVM).

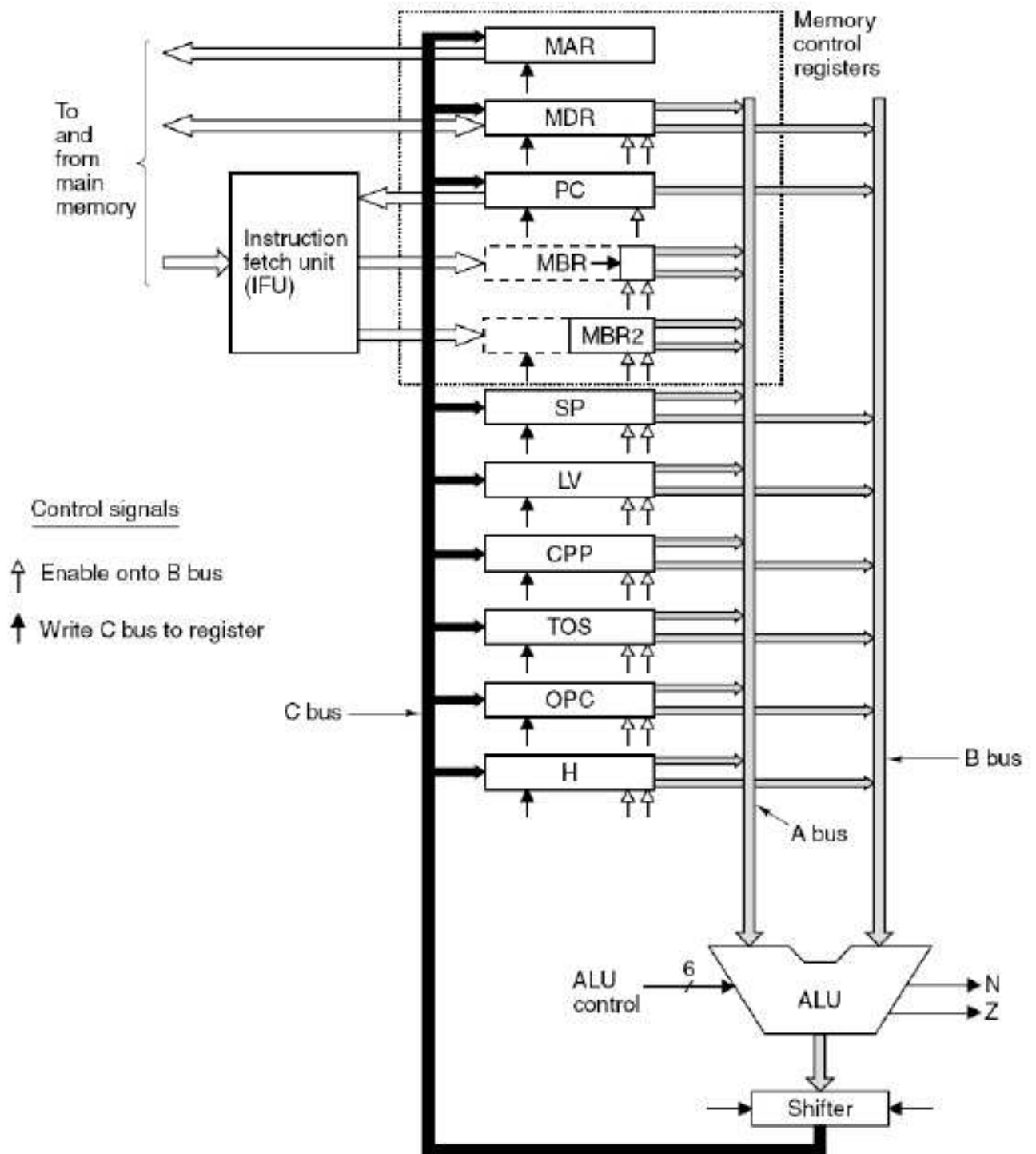
F_0	F_1	ENA	ENB	INVA	INC	Function
0	1	1	0	0	0	A
0	1	0	1	0	0	B
0	1	1	0	1	0	\overline{A}
1	0	1	1	0	0	\overline{B}
1	1	1	1	0	0	A + B
1	1	1	1	0	1	A + B + 1
1	1	1	0	0	1	A + 1
1	1	0	1	0	1	B + 1
1	1	1	1	1	1	B - A
1	1	0	1	1	0	B - 1
1	1	1	0	1	1	-A
0	0	1	1	0	0	A AND B
0	1	1	1	0	0	A OR B
0	1	0	0	0	0	0
1	1	0	0	0	1	1
1	1	0	0	1	0	-1

SLR1	SLL8	Function
0	0	No shift
0	1	Shift 8 bit left
1	0	Shift 1 bit right

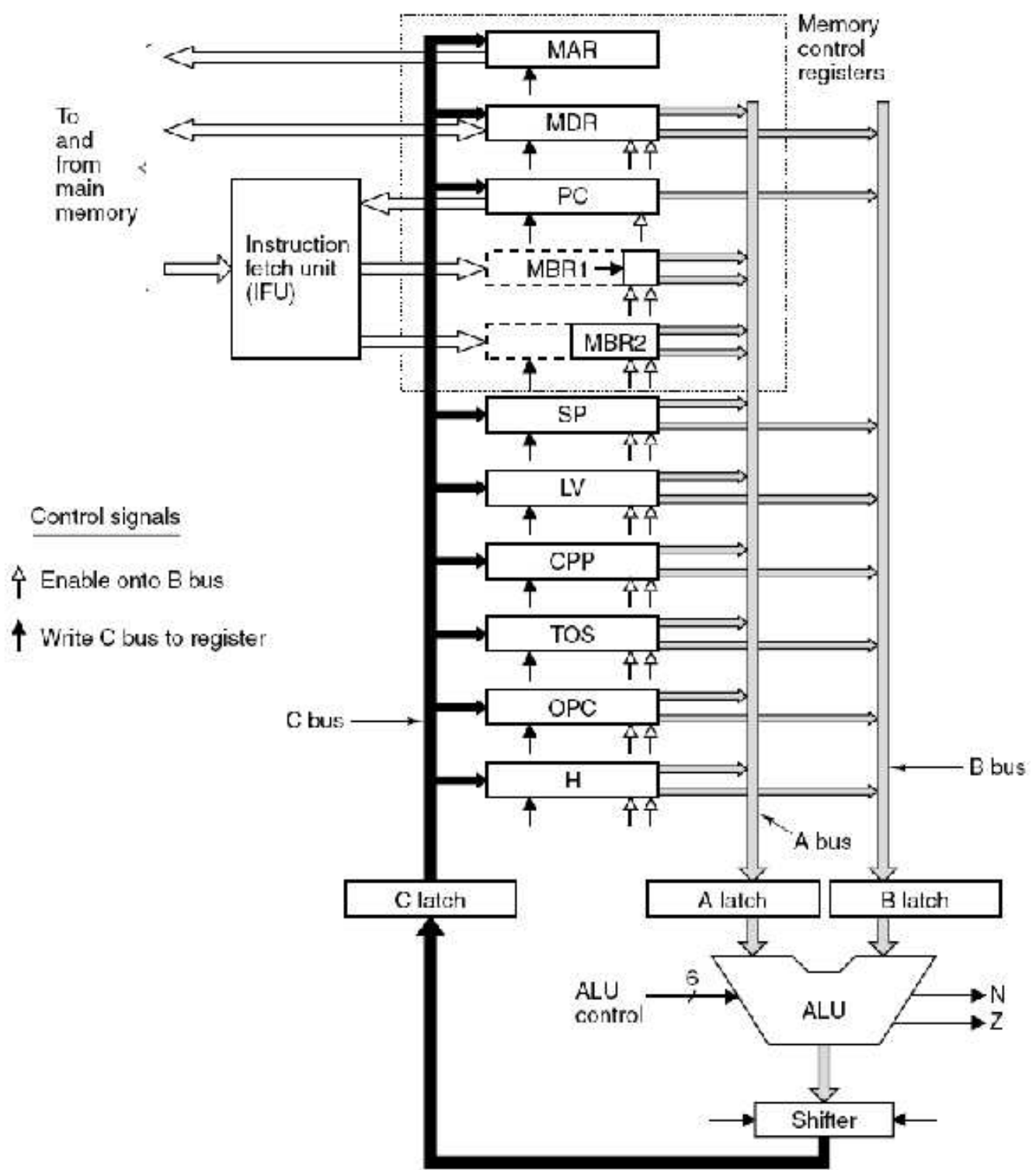
Figur 19: Funksjonstabell for ALU (IJVM).



Figur 20: Timingdiagram (IJVM).



Figur 21: Alternativ mikroarkitektur I.



Figur 22: Alternativ mikroarkitektur II.