

# Meir buss, I/O, prosessor detaljar

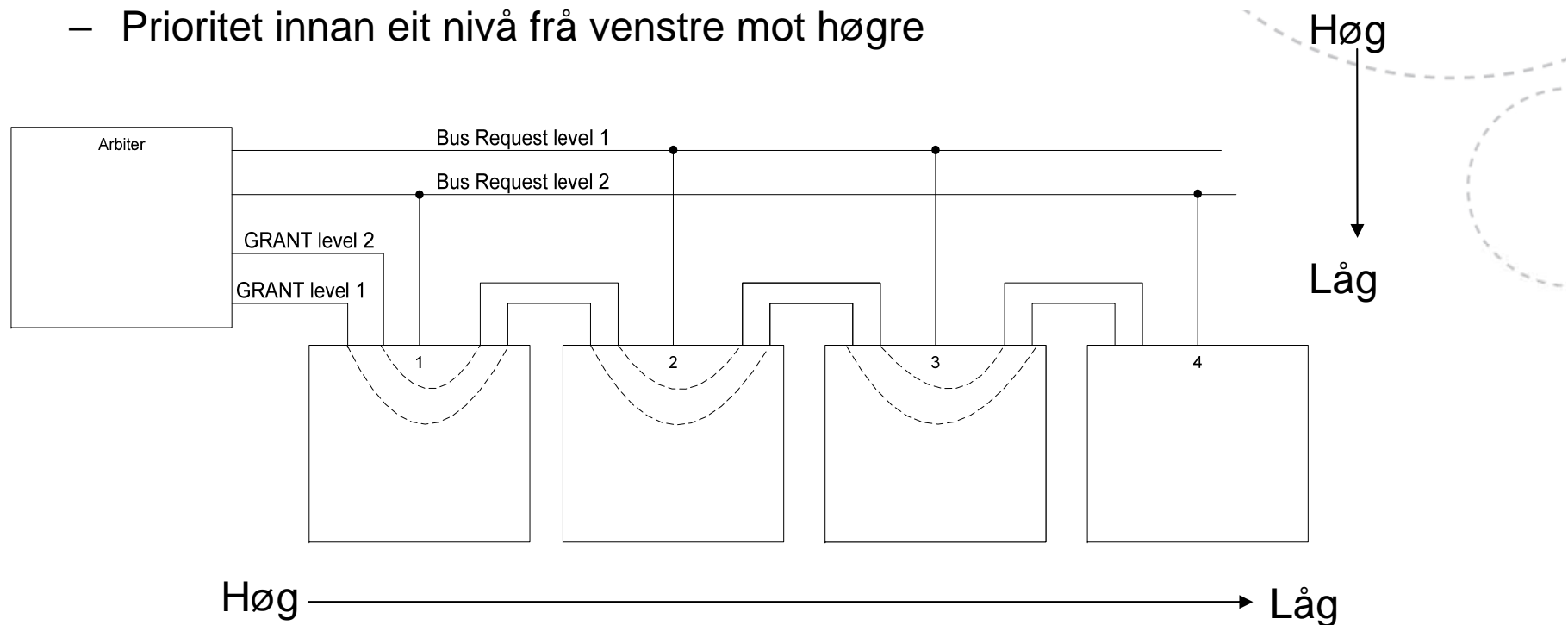
- Arbitrering: Kven kontrollerar bussen
- Buss eksempel
- PIO
- Prosessorar

# Arbitrering: To typer

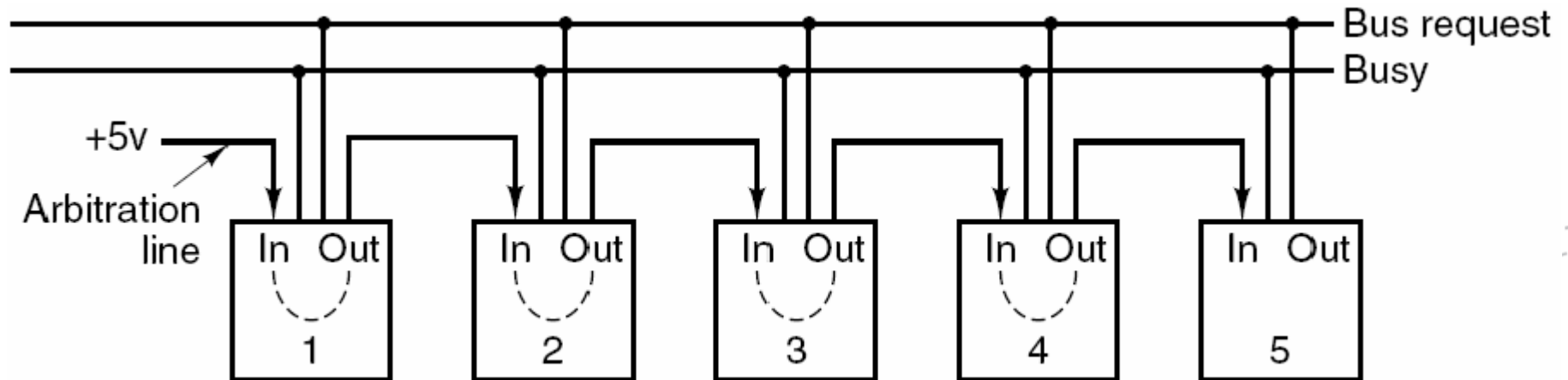
- Sentralisert arbitrering
  - Eigen sentral arbitreringseining
  - Bestemt sentralt kven som får bussen ved samtidig "request"
- Desentralisert arbitrering
  - Einingane "forhandlar" om bussen
  - Ofte fleire busslinjer
  - Ingen sentral arbitreringslogikk

# Sentralisert arbitrering: Detaljar

- Fleire nivå
  - To prioritetsnivå level 1 og level 2
  - Level 1 høgare enn level 2
  - Prioritet innan eit nivå frå venstre mot høgre

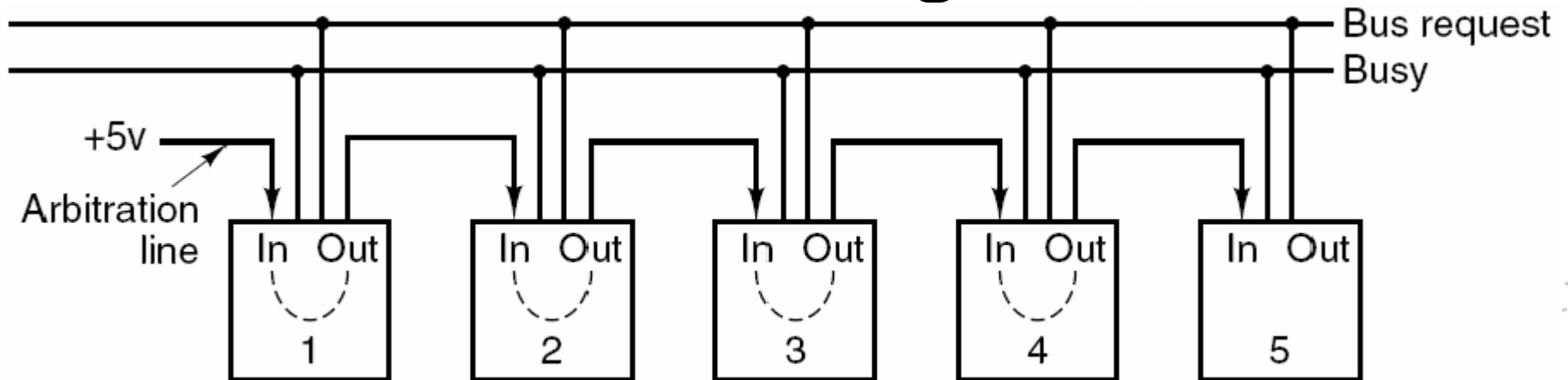


# Desentralisert arbitrering



- Ingen sentral arbirer
  - Tilgang bestemt av "Busy" og "Arbitration line"
  - Ikkje naudsynt med sentral logikk for arbitrering
- Signal
  - Bus request: wiered\_OR
  - Busy: Styr av den som er buss "master"
  - Arbitration line: Daisy chained

# Desentralisert arbitring



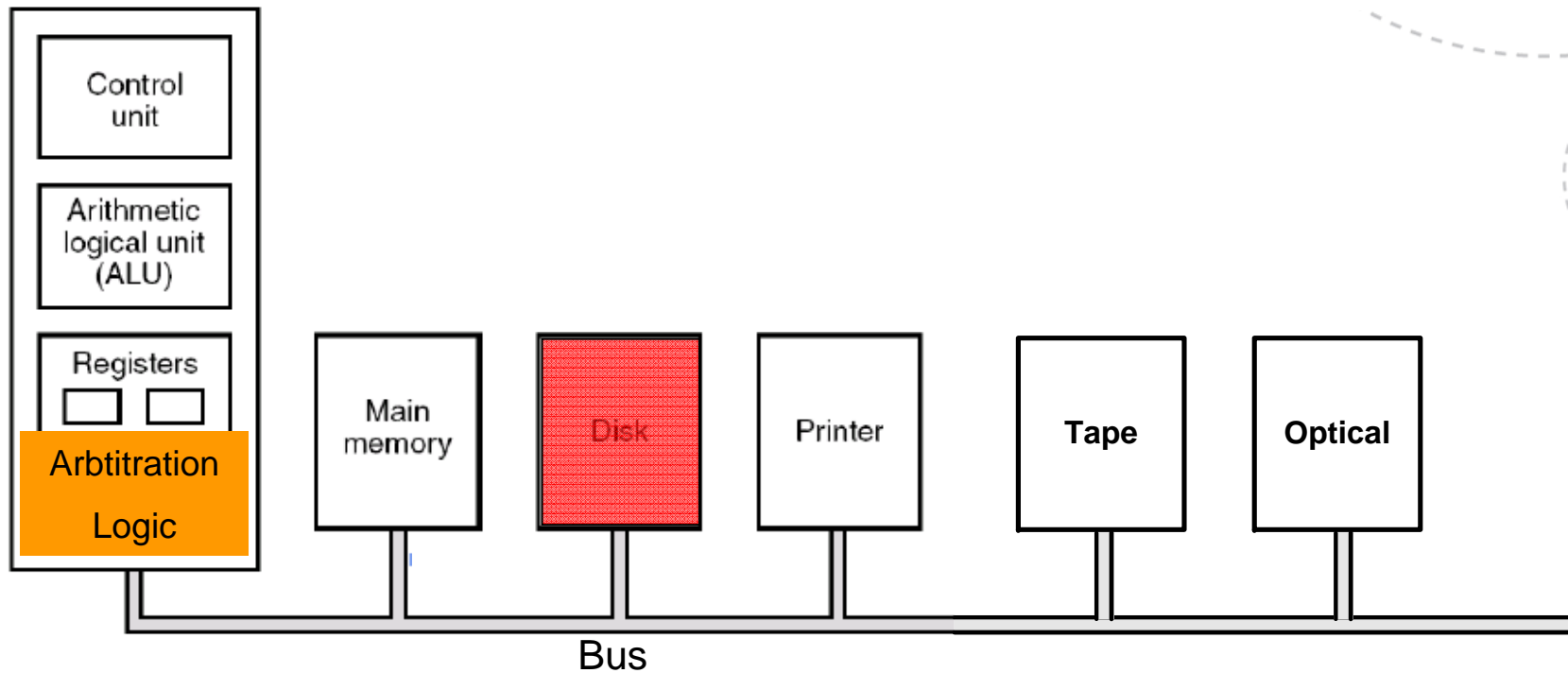
- Eksempel A

- Buss ledig, ingen brukar bussen (tri-state), "Busy" ikkje aktiv, arbitration linje signal forplantar signalet "+5V" (høg, logisk "1") til alle
- 2 legg ut "Bus request" (einaste som vil ha buss)
- 2 har arbitration linje in "høg"
- 2 tar kontroll over busen (buss "master") gir "Busy" signal slik at ingen kan ta bussen
- 2 er no buss "master" og kan bruke bussen.

# Buss

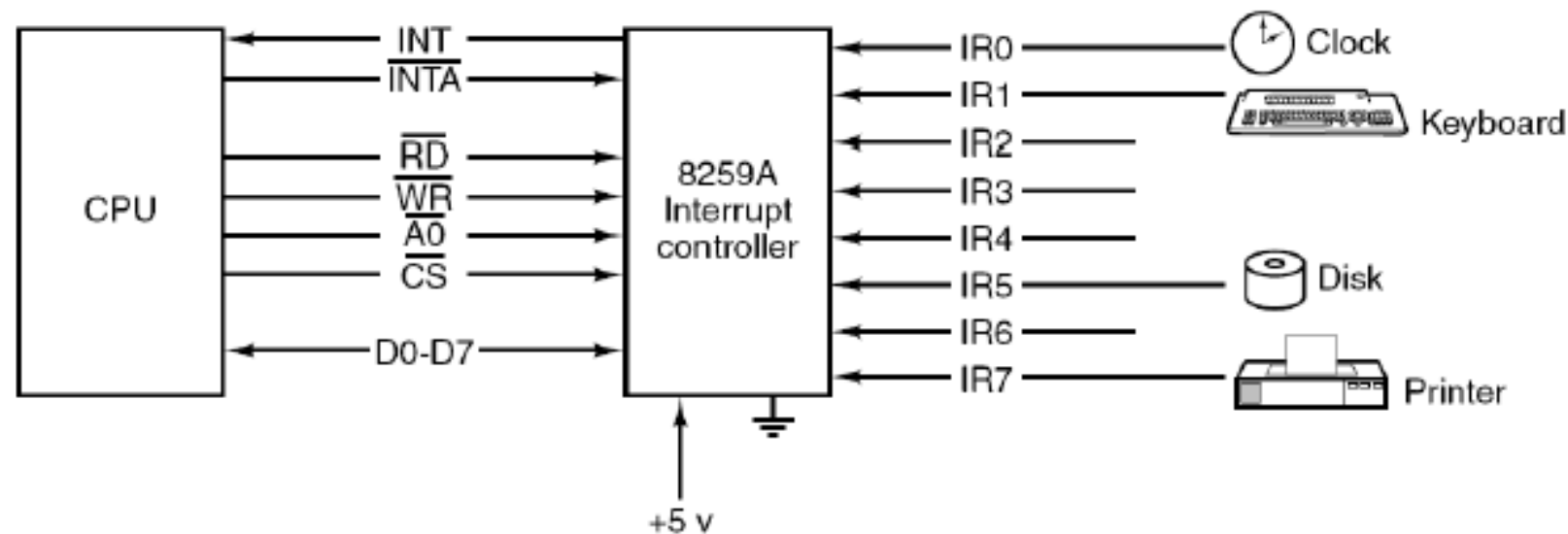
- Buss syncron/asyncron seriel/paralell
- Arbitrering

Central processing unit (CPU)



# Busser og avbrudd

- Avbruddskontroller velger hvis flere avbrudd kommer samtidig og aktiverer INT
- Når INTA blir aktivert, overfører nummer på enhet
- Prosessor bruker nummer til å finne adresse til avbruddsrutine (via "interrupt vector")

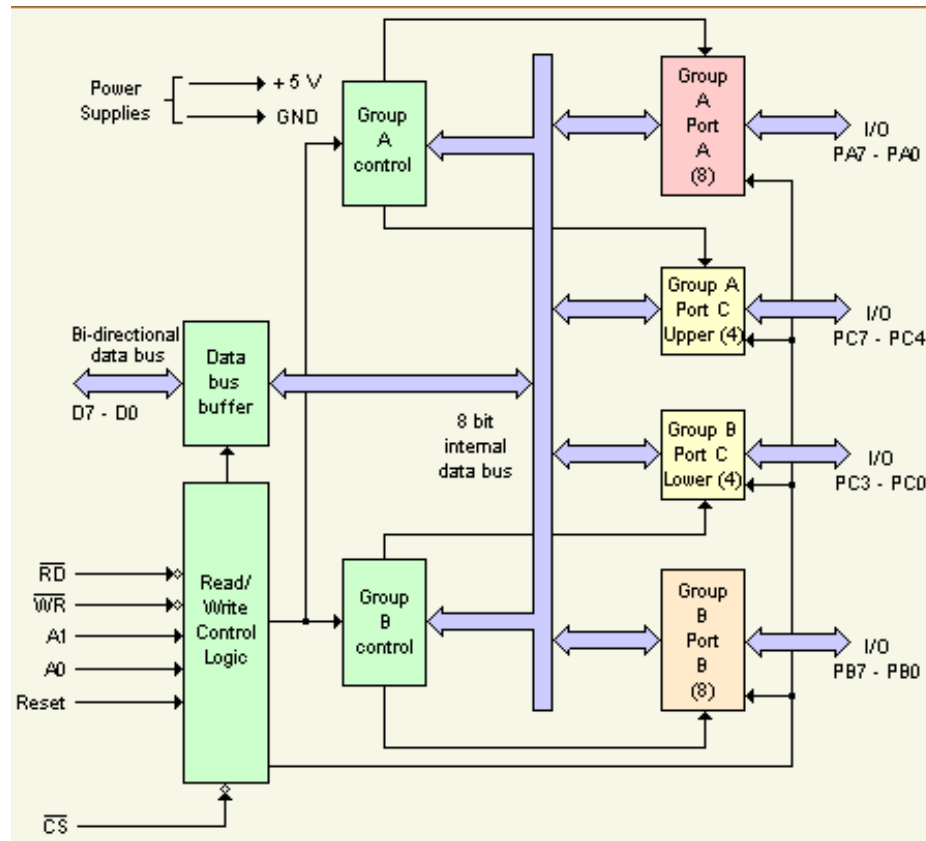


# Kontrollsignal

- Signal linjer på buss
    - Adresse
    - data
    - klokke
    - Write
    - Read
    - AdrData latch
    - Busy
    - Bus request
    - Bus Grant
    - Bus Select
    - WAIT
    - MREQ
    - MSYN
    - SSYN
- Adress og data signal
- Kontrollsignal



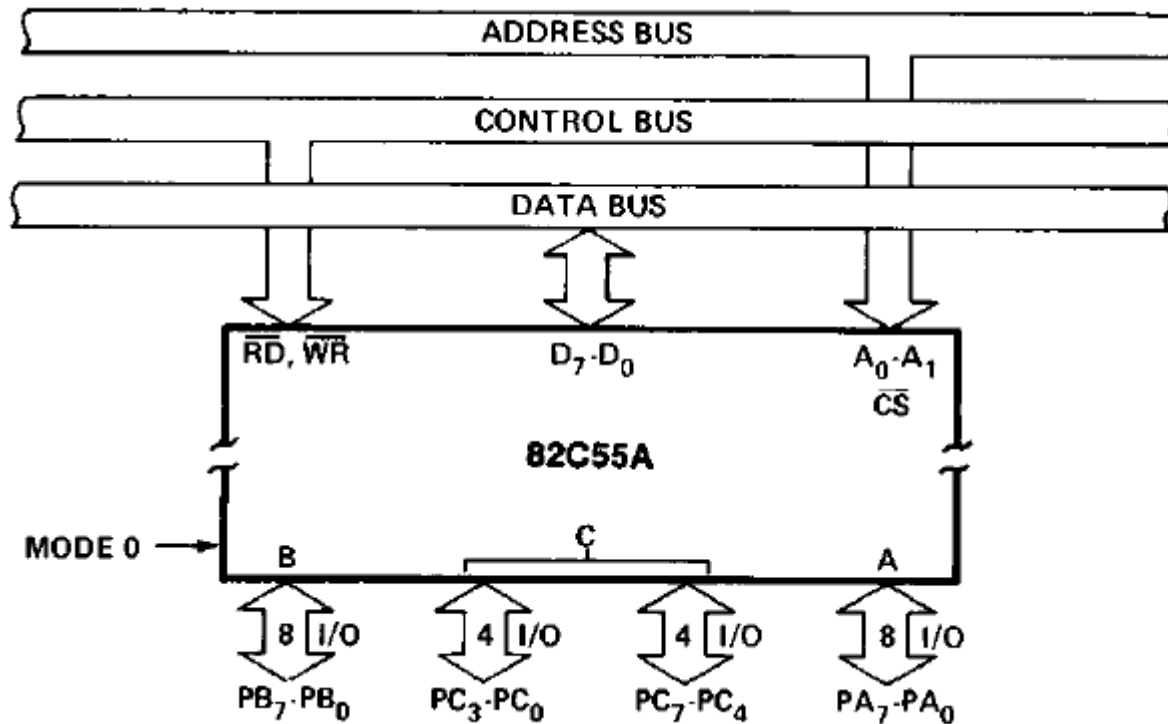
# PIO (Parallel Input/Output) eks: Intel 8255



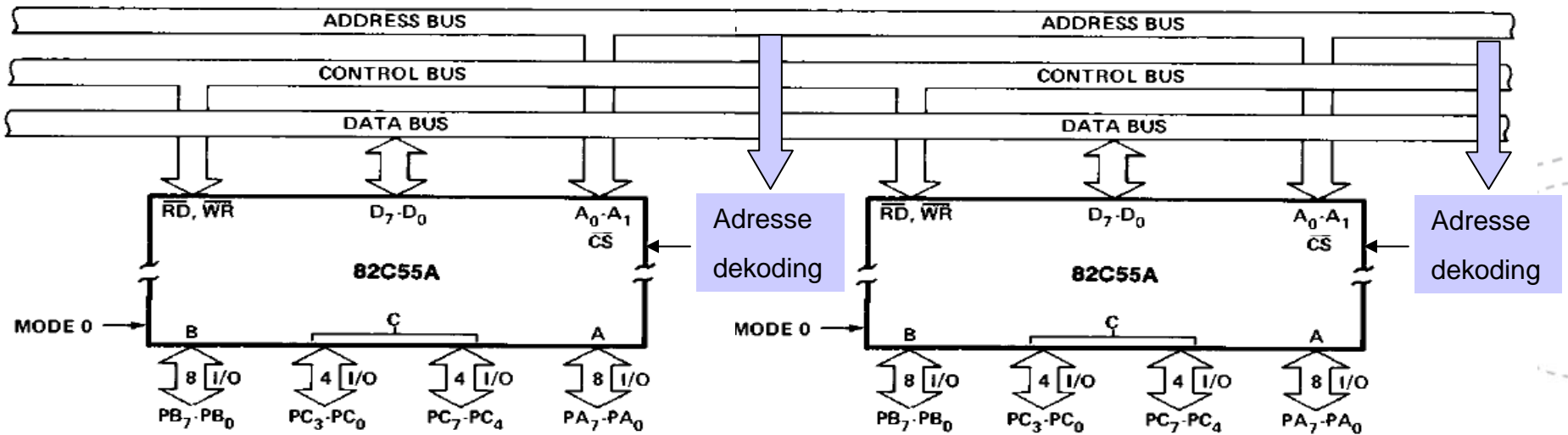
**ADDRESS:** These input signals, in conjunction  $\overline{RD}$  and  $\overline{WR}$ , control the selection of one of the three ports or the control word registers.

$A_1$	$A_0$	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (Read)
0	0	0	1	0	Port A - Data Bus
0	1	0	1	0	Port B - Data Bus
1	0	0	1	0	Port C - Data Bus
1	1	0	1	0	Control Word - Data Bus
Output Operation (Write)					
0	0	1	0	0	Data Bus - Port A
0	1	1	0	0	Data Bus - Port B
1	0	1	0	0	Data Bus - Port C
1	1	1	0	0	Data Bus - Control
Disable Function					
X	X	X	X	1	Data Bus - 3 - State
X	X	1	1	0	Data Bus - 3 - State

# PIO (Parallel Input/Output)



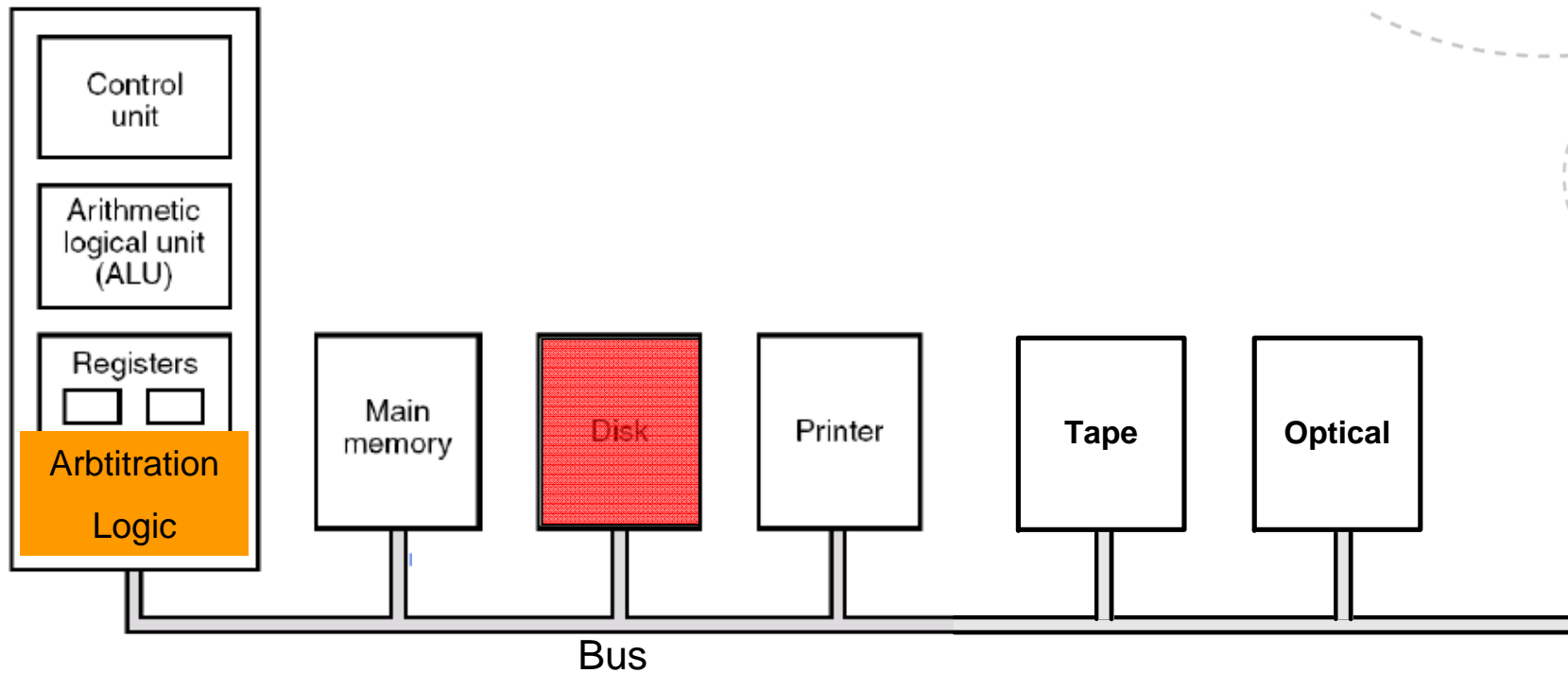
# PIO (Parallel Input/Output)



# Buss

- Buss syncron/asyncron seriel/paralell
- Arbitrering

Central processing unit (CPU)



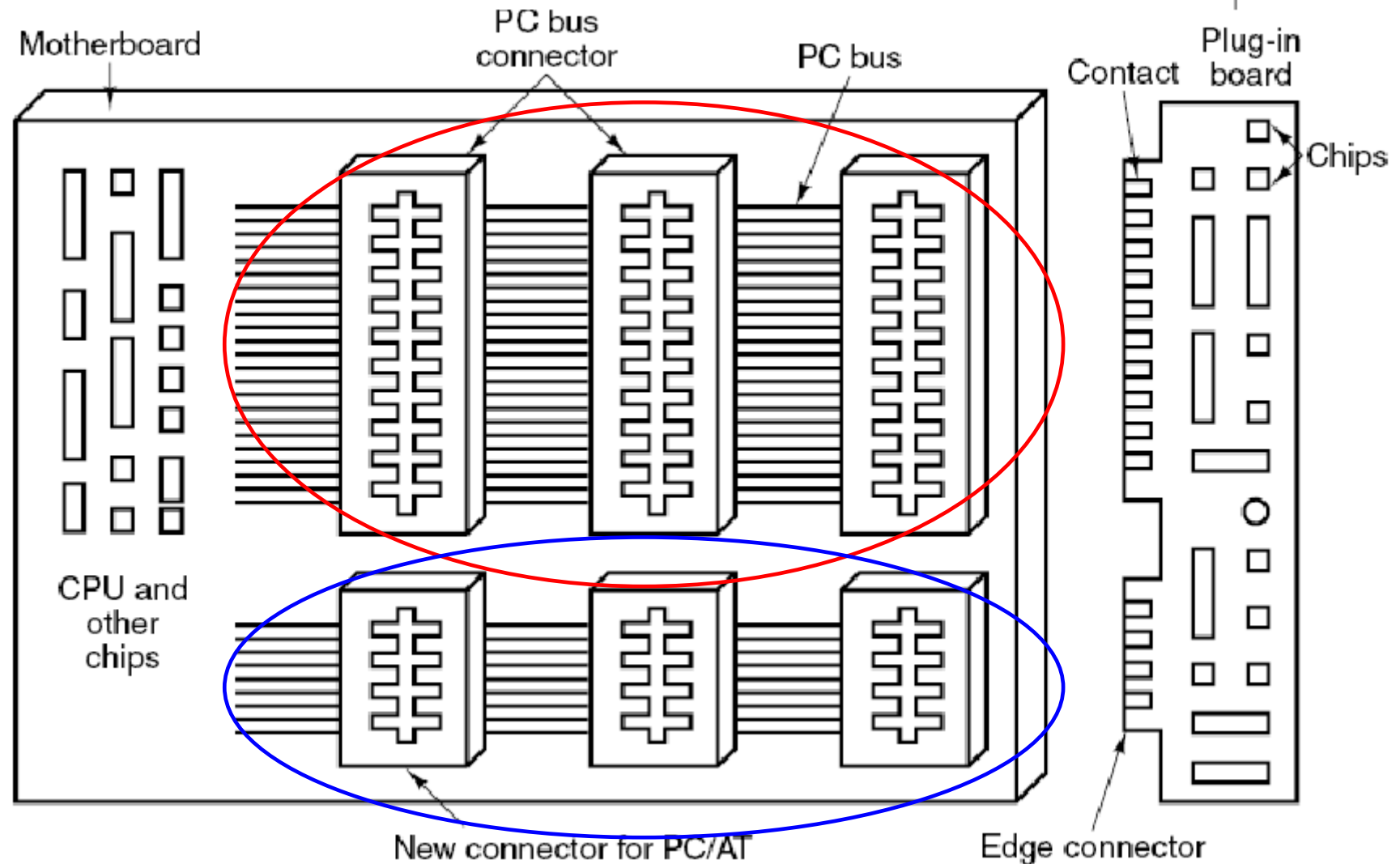
# Buss eksempler

- IBM PC buss
- IBM PC/AT buss
- ISA
- PCI
- PCI Express
- USB

# IBM PC PC/AT

- IBM PC buss (for 8088 - 1979)
  - 20 adresselinjer, 8 datalinjer
  - Stor utbreding, lisensiert ut til mange produsentar
- IBM PC/AT
  - Ved introduksjon av 80286 ønskjer ein 16 bits buss
  - Vil ha ein bakover kompatibel buss
  - Ekstra kontaktpunkt
  - Gamle kort bruker gammalt kontaktpunkt,
  - nye kort bruker gammalt + nytt

# IBM PC PC/AT



# ISA buss

- Etter kvert ble PC/AT for tregt
  - Enda et kontaktpunkt en dårlig ide
- IBM Microchannel
  - Beskyttet av patenter
  - Ikkje stor utbreiing
- Industry Standard Architecture Buss (ISA)
  - PC/AT på høgare klokkefrekvens
  - Dermed bakover kompatibel
  - 16,7 MB/s

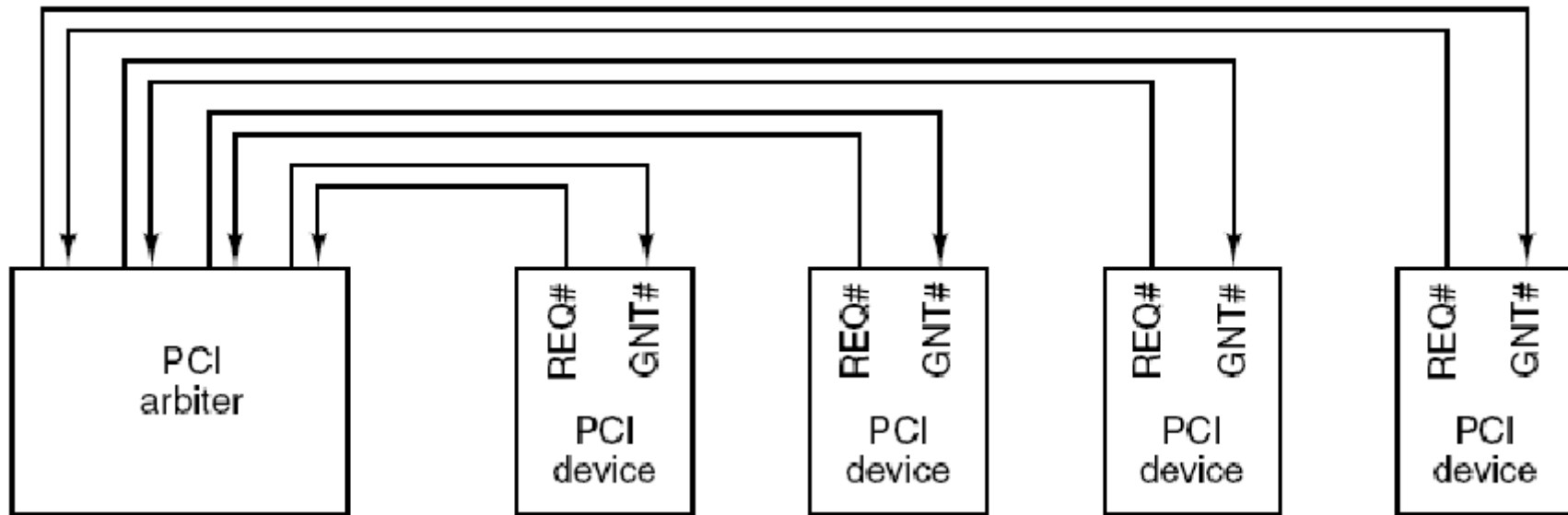


# <sup>17</sup> PCI (Peripheral Component Interface)

- Laga av Intel, men alle kan bruke han
- Prosessoruavhengig
  - Brukast i PCer, Macintosh, SPARC ...
- 33 MHz eller 66 MHz
- 32 eller 64 data- og adresselinjer (multipleksa)
- Frå 133 MB/s til 528 MB/s
- Støtter opptil 16 tilkoblingspunkter, 4-5 vanlig
- Synkron buss, sentralisert arbitrering
- Autokonfigurasjon ("plug-and-play")

# PCI (Peripheral Component Interface)

- Arbitring

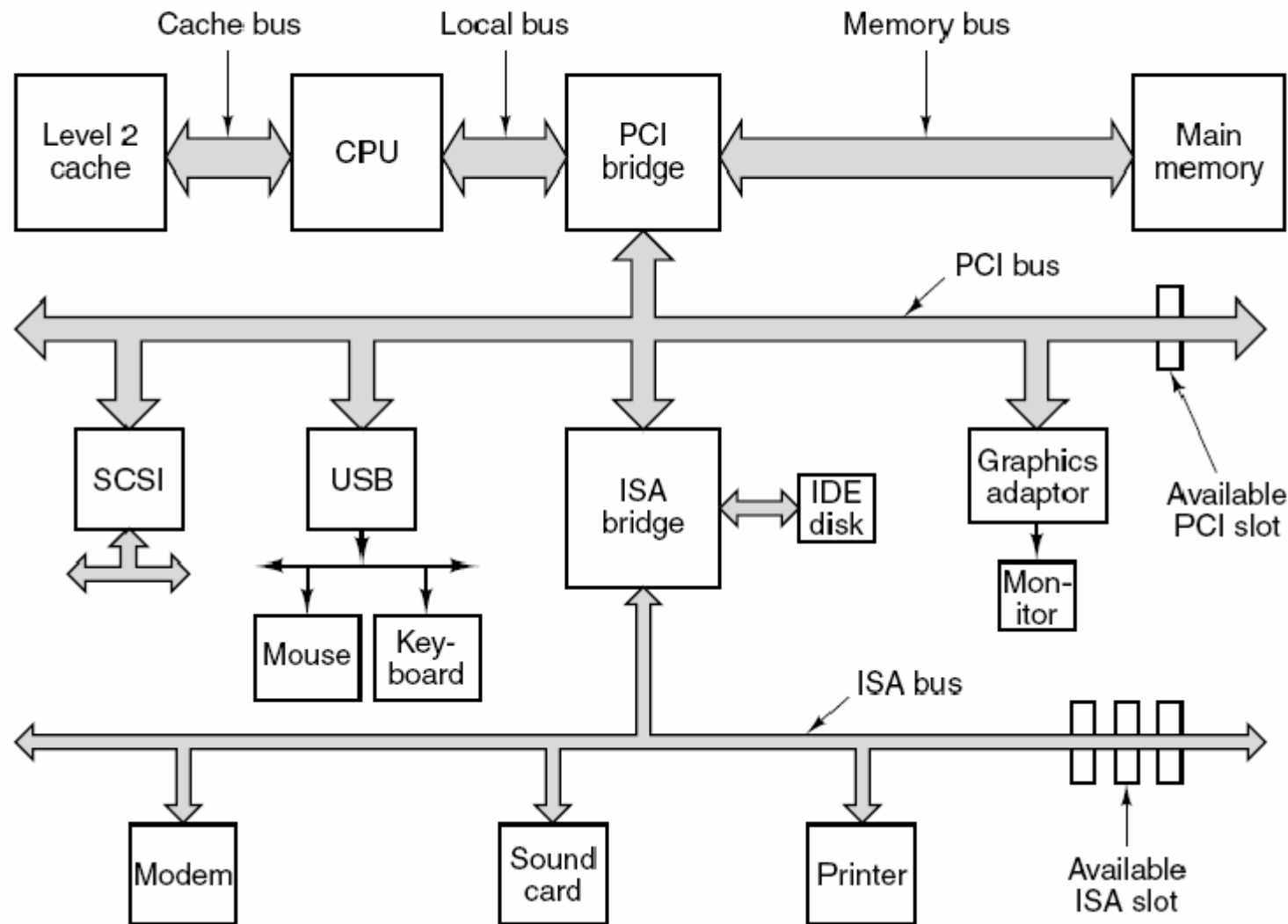


- Sentralisert arbitrering (bridge chip)
- Separat linje til kvar eining
- Arbitrering og bussoverføring kan skje samstundes (skjult)
- Algoritme for arbitrering ikkje ein del av standarden

# Utvikling av bussbruk

- ISA
  - Opphavlig tatt med for bakoverkompatibilitet
  - Etter hvert ingen som bruker ISA
- PCI
- Accelerated Graphics Port Bus (AGP)
  - Stadig høgare oppløysning
  - Krev etter hvert meir bandbredde enn PCI klarer
  - Ny buss for grafikk: 264 MB/s – 3,1 GB/s

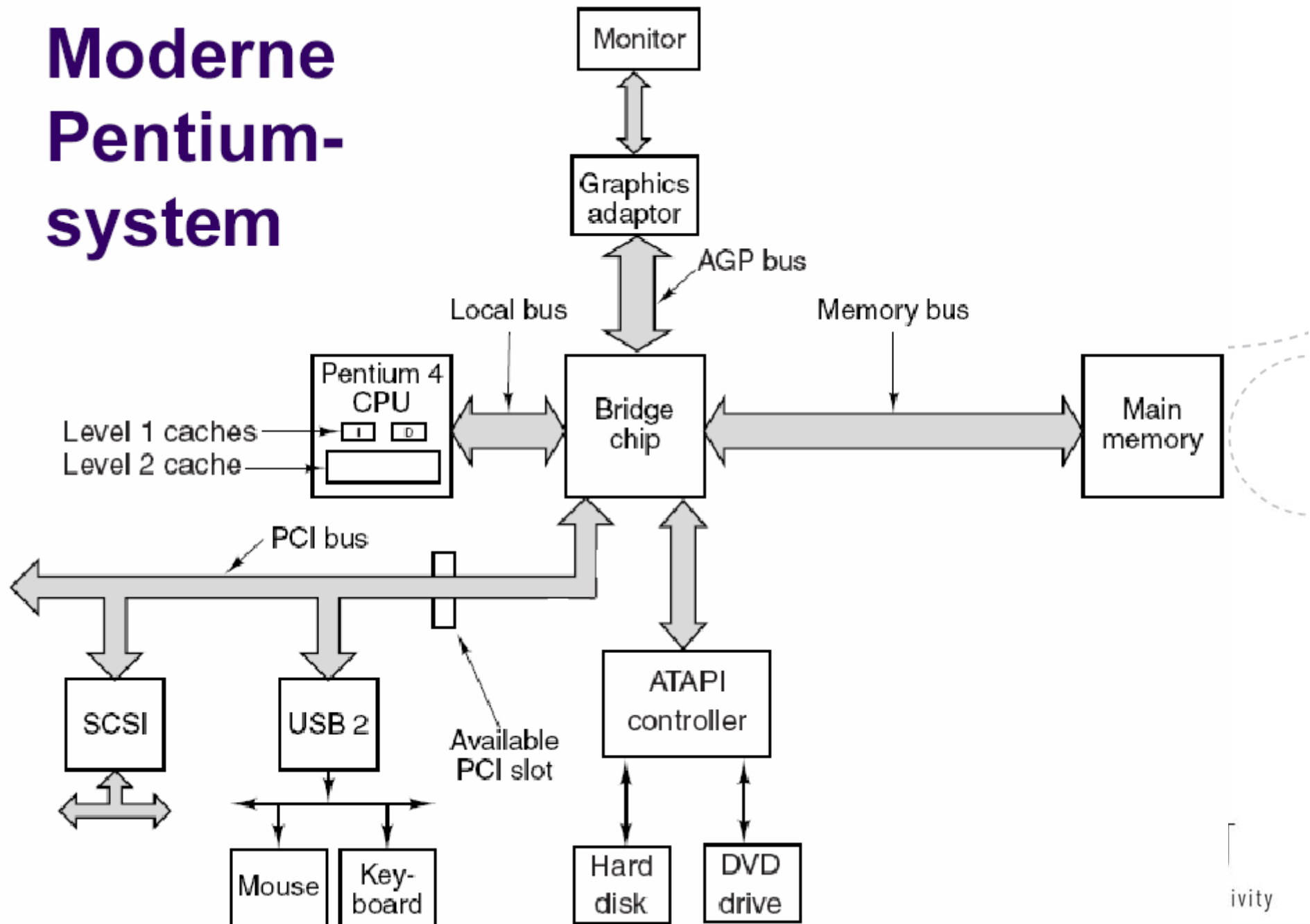
# Tidlig Pentium-system



NTNU

Innovation and Creativity

# Moderne Pentium-system

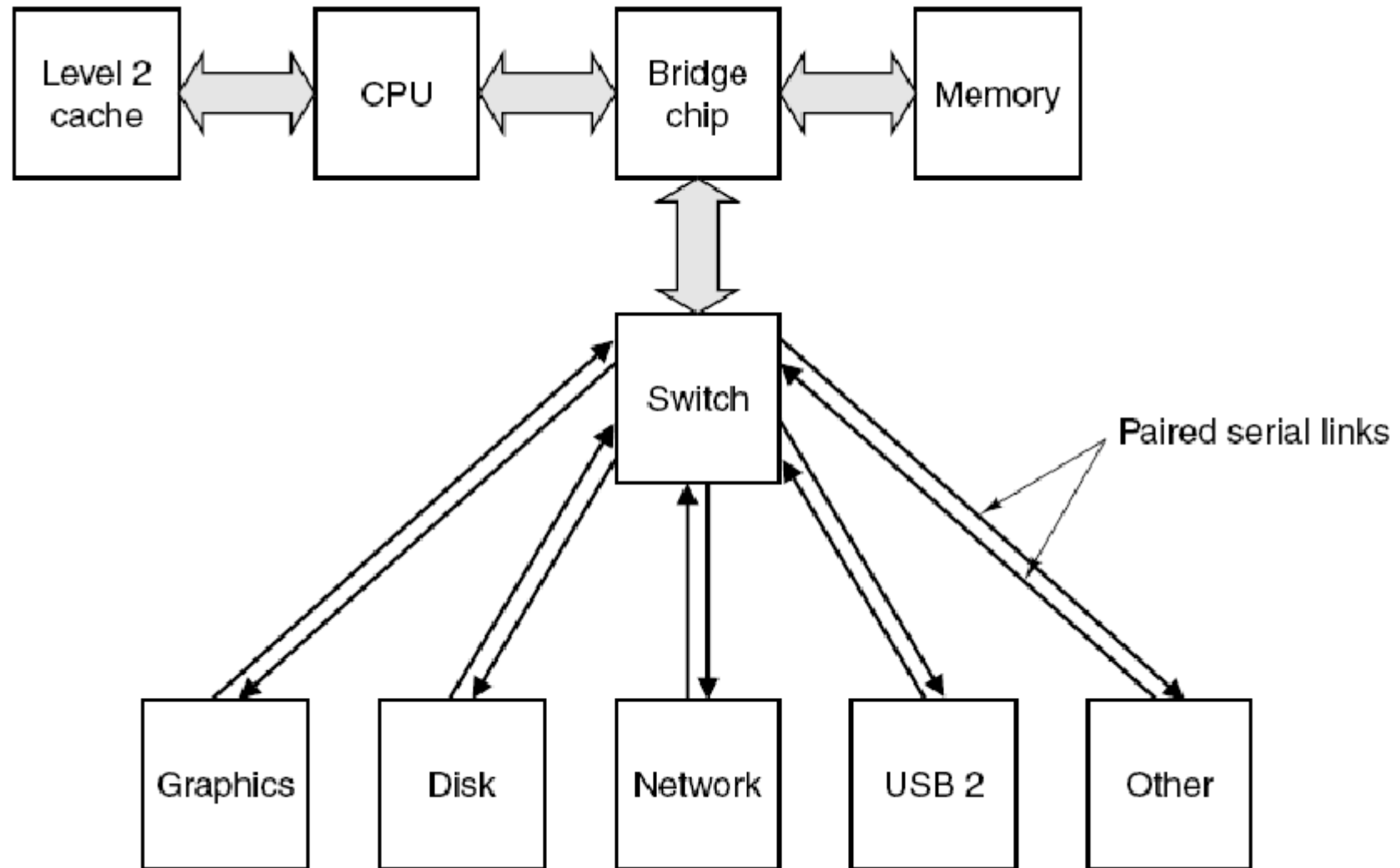


ivity

# <sup>22</sup> PCI Express

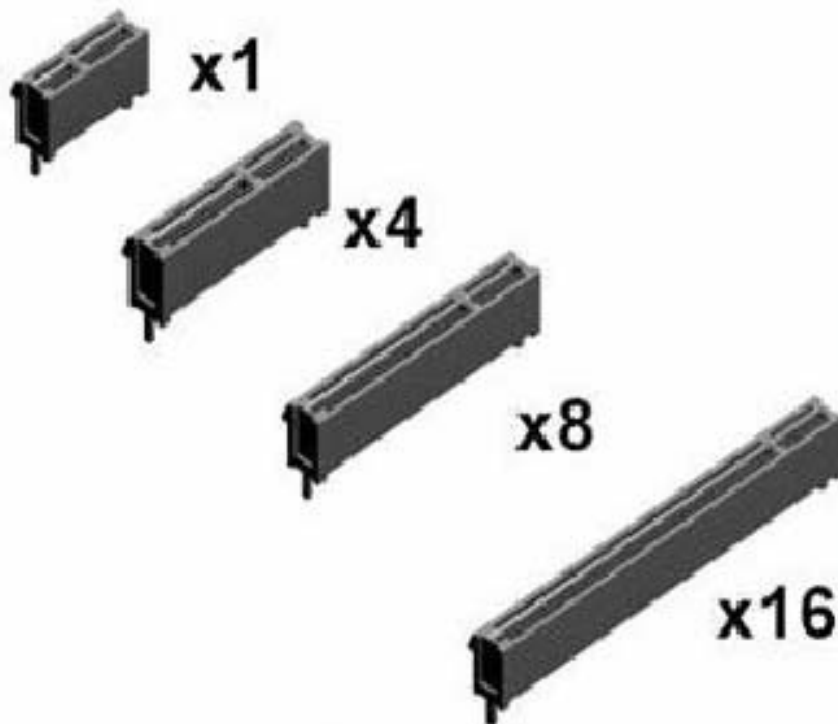
- Problem med PCI
  - Ikkje lenger rask nok (eks: AGP)
  - Vanskelig å gjøre raskare (parallell)
  - Tar stor plass (eks: laptop)
- Arvtagar: PCI Express
  - Seriell
  - Punkt-til-punkt, ikkje buss
  - Finnes på nyare hovedkort

# PCI Express punkt-til-punkt



# PCI Express

- 2.5 – 10 Gb/s per serielle forbindelse ("lane")
- Kan ha flere av disse i parallell
  - Ikkje det same som parallell overføring!
- Kan dermed bruke same teknologi for trege og raske enheter





# Universal Serial Bus (USB)

- RS232 og andre serieoverføringer for lite fleksible og for treige
- PCI Express for dyr og stor for enkle eksterne enheter
- Trenger derfor ein enklare løysning: USB
  
- Brukast til:
  - Mus
  - tastatur
  - modem
  - scanner
  - printer
  - og masse meir
  
- Inkludert i (nesten) alle PC-er
- Tre hastigheter: 1,5 ; 12 ; 480 Mbps

# USB Designmål

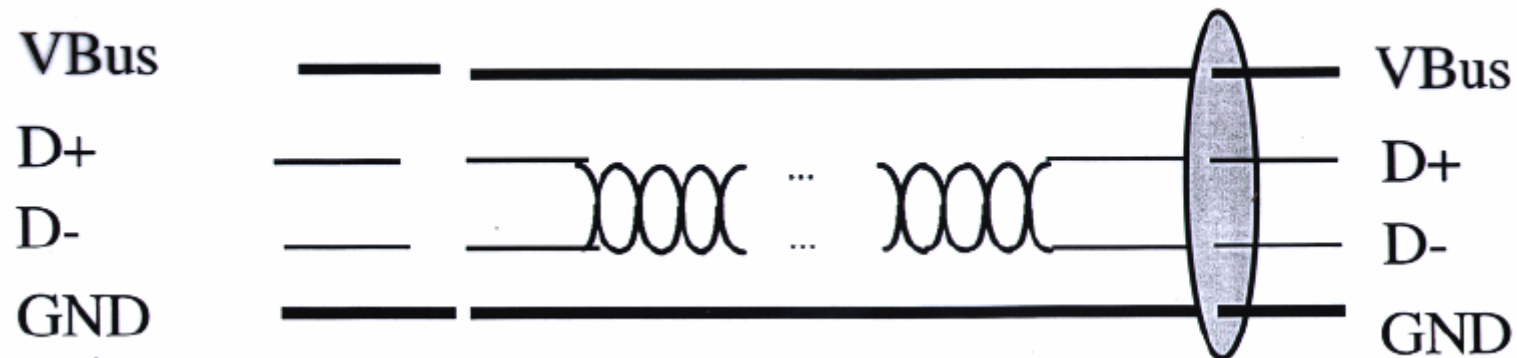
1. Users must not have to set switches or jumpers on boards or devices.
2. Users must not have to open the case to install new I/O devices.
3. There should be only one kind of cable, good for connecting all devices.
4. I/O devices should get their power from the cable.
5. Up to 127 devices should be attachable to a single computer.
6. The system should support real-time devices (e.g., sound, telephone).
7. Devices should be installable while the computer is running.
8. No reboot should be needed after installing a new device.
9. The new bus and its I/O devices should be inexpensive to manufacture.

# USB Kabel

- Enkel kabel kunn fire ledarar
  - 2 for Spenning (Vbus og GND)
  - 2 for data Differensial signalering



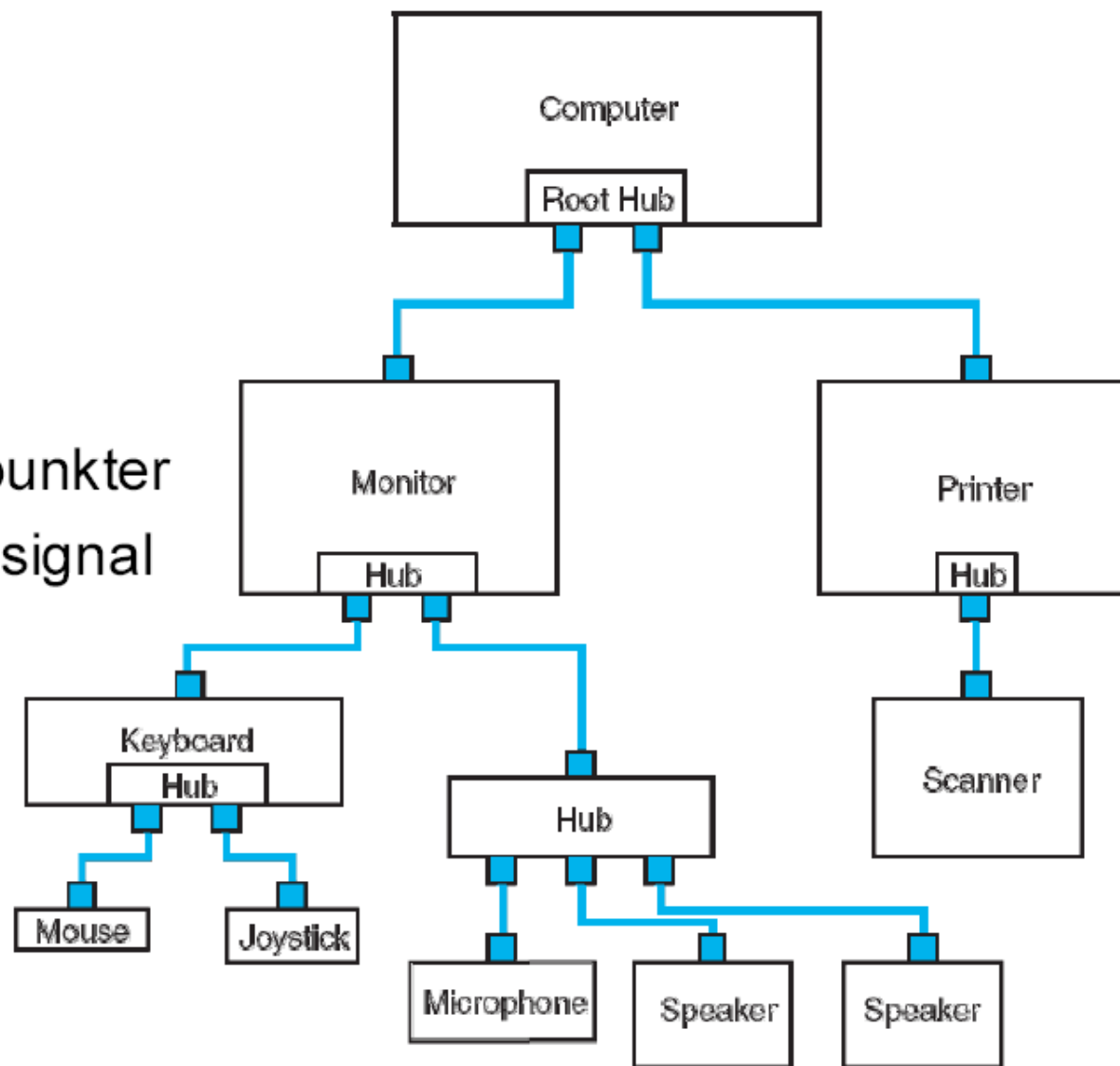
5 meters max



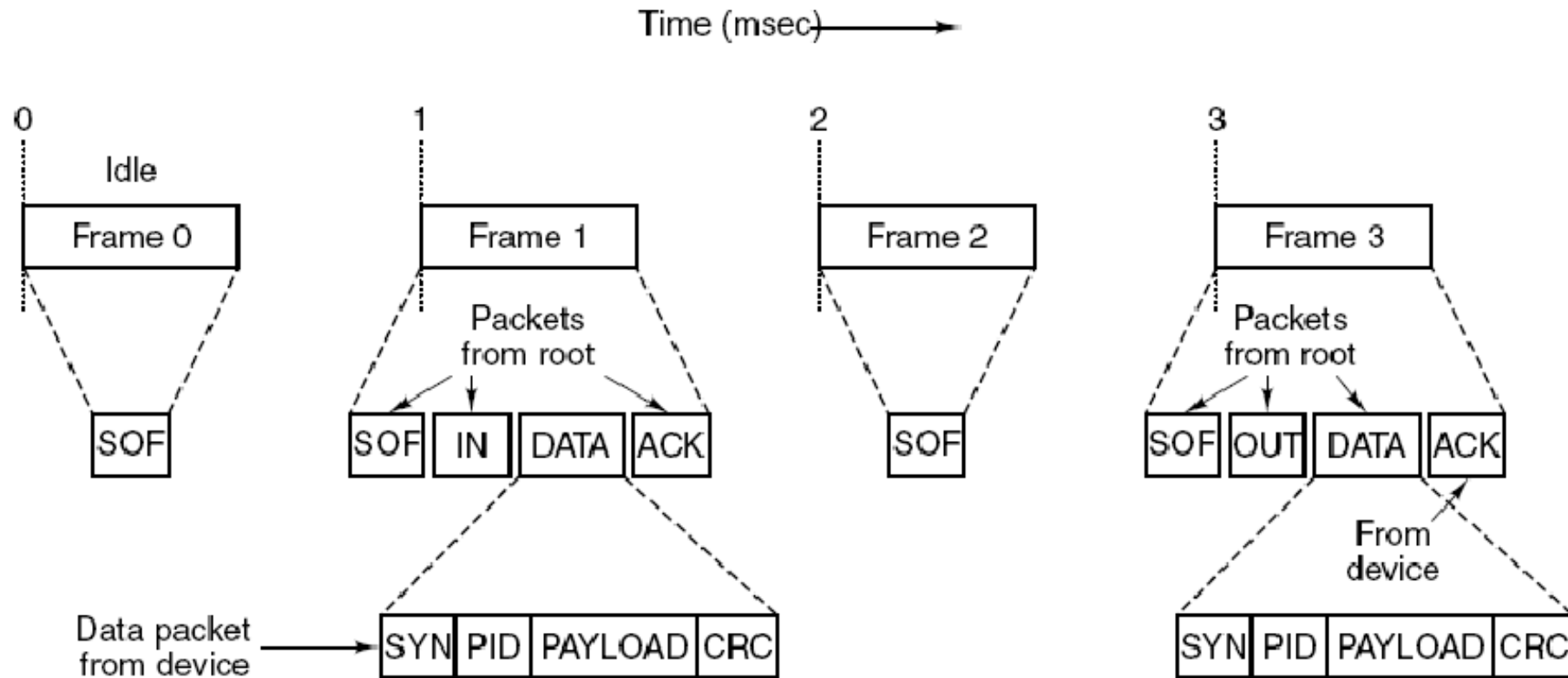
# USB Topologi

## Hub:

- Gir flere tilkoblingspunkter
- Forsterker signal



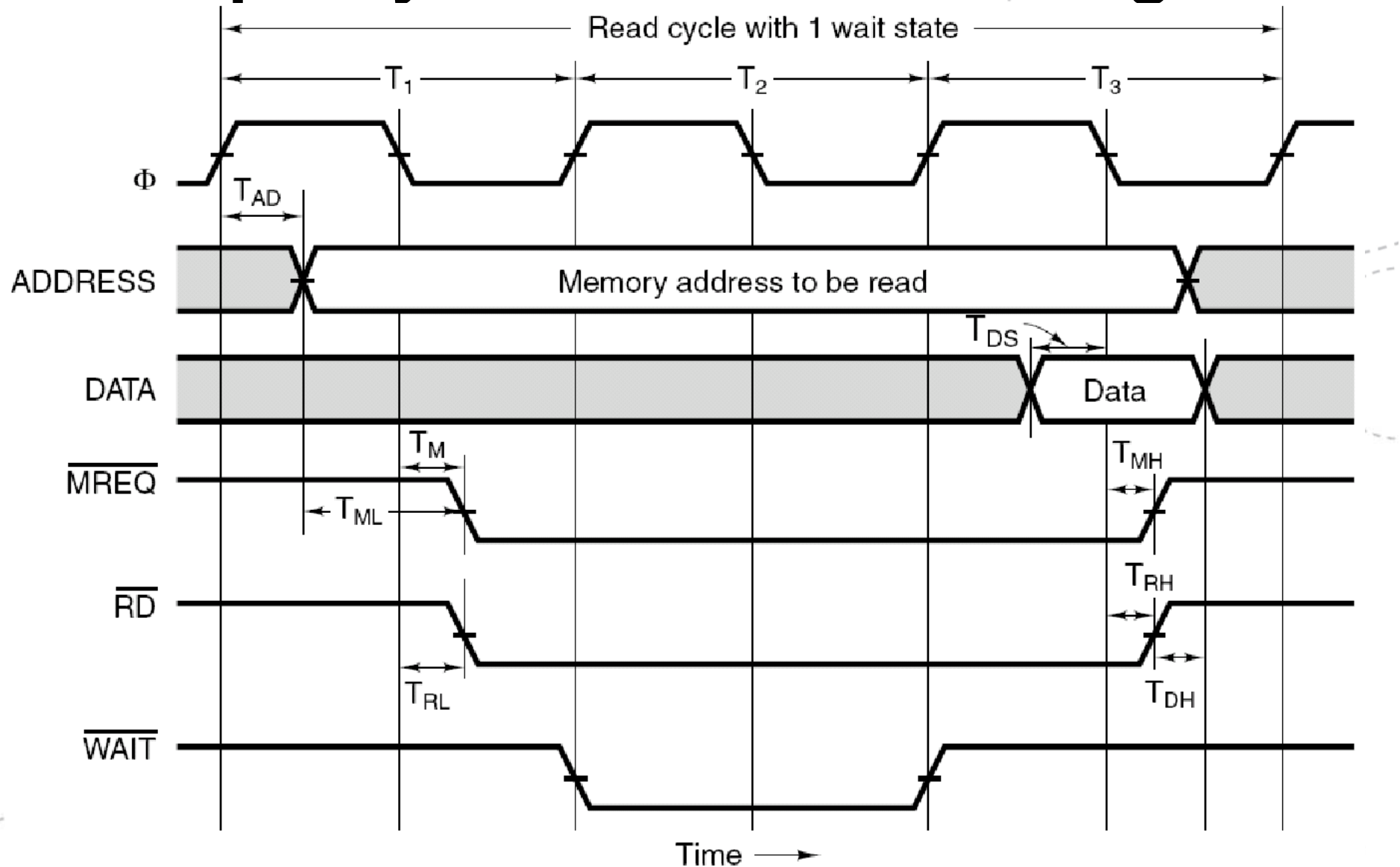
# USB Dataoverføring



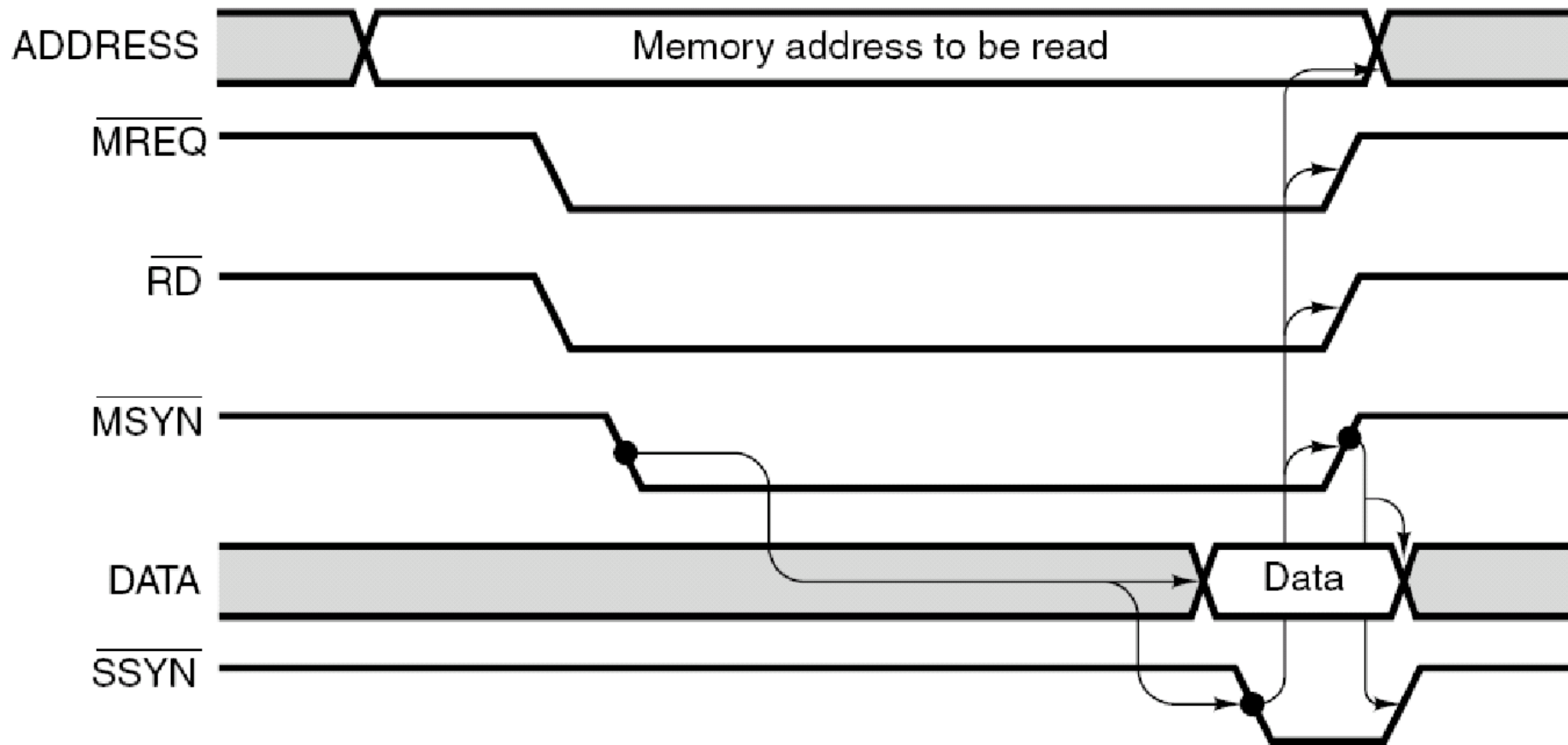
# Kontrollsignal

- Signal linjer på buss
    - Adresse
    - data
    - klokke
    - Write
    - Read
    - AdrData latch
    - Busy
    - Bus request
    - Bus Grant
    - Bus Select
    - WAIT
    - MREQ
    - MSYN
    - SSYN
- Adress og data signal
- Kontrollsignal

# Eksempel synkron busoverføring



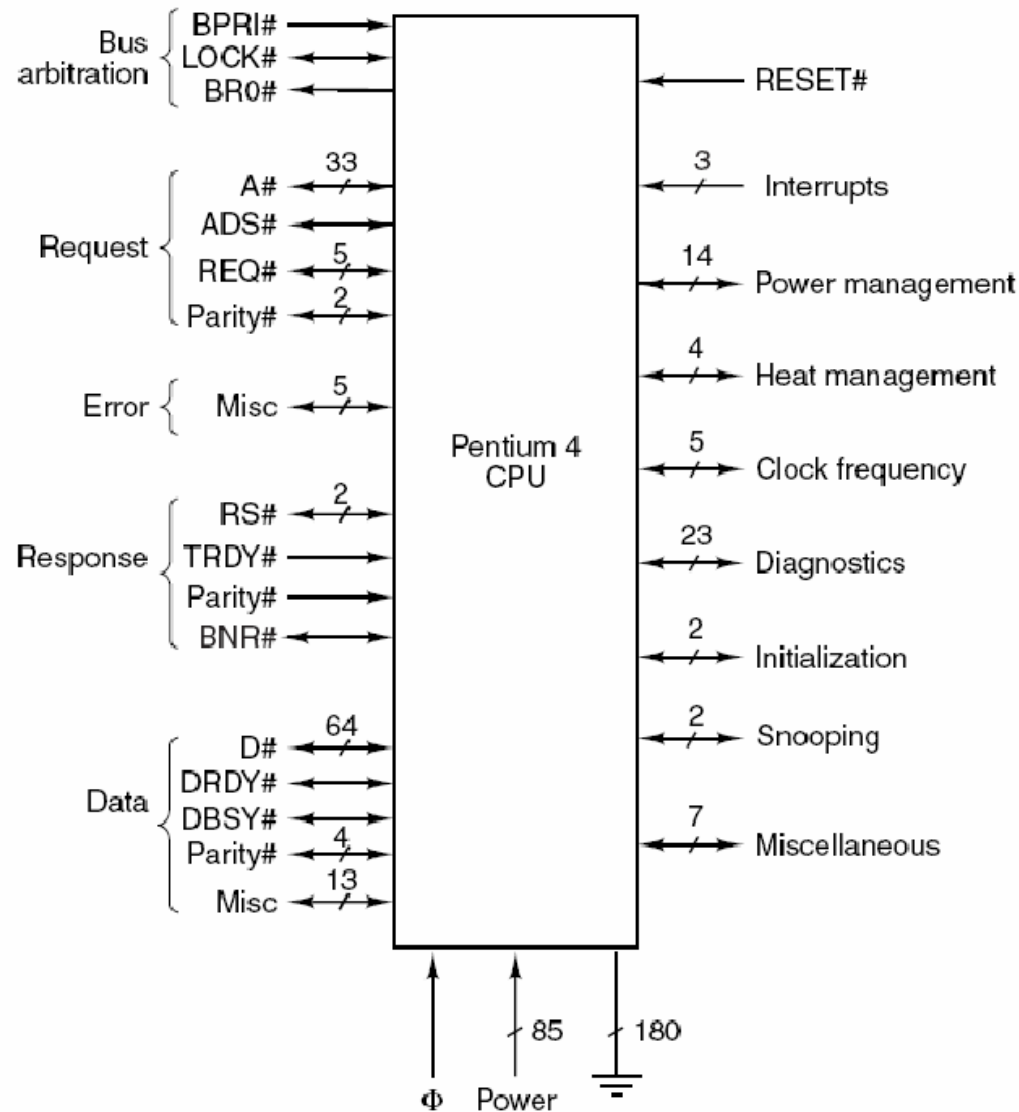
# Eksempel Asynkron bussoverføring



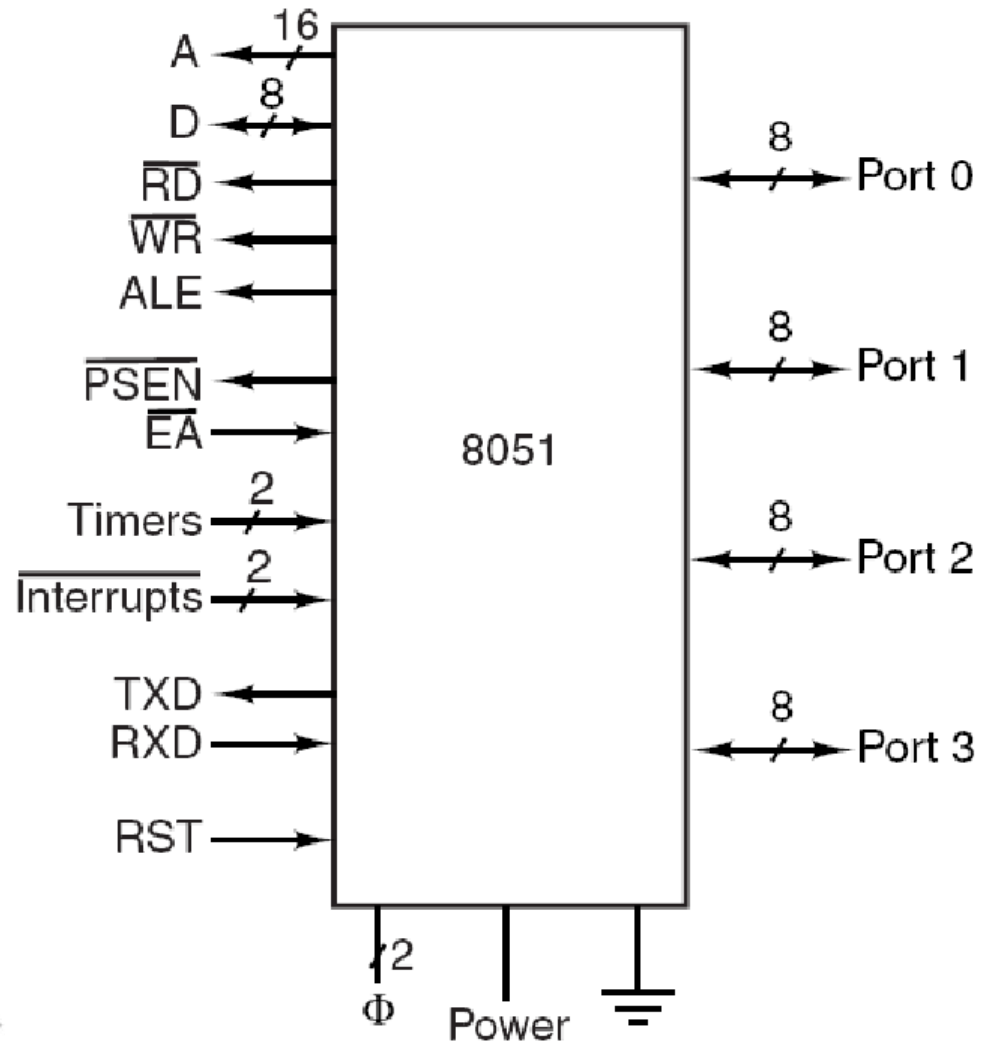


# Grensesnitt

# P4



# 8051



- 3.5: Litt meir om P4, UltraSparc og 8051
- 3.6: Eksempel på mykje brukte bussar
- 3.7: Grensesnitt (I/O chips)

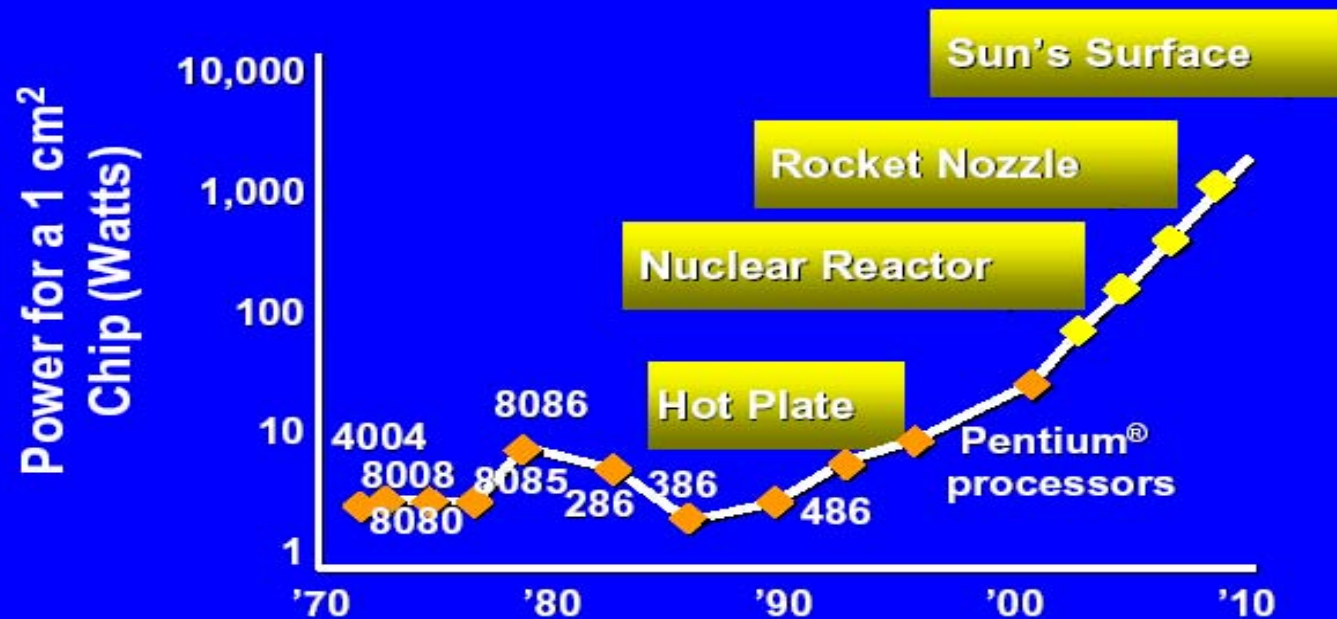
# Intel P4 arkitektur

- Introdusert 2000 siste versjon 2006
  - Frå 42 til ca 169 millionar transistorar
    - Auka cache
    - Diverse forbetringar (Hyper-Threading, 64 bit utvidelse osv)
  - Starta på 180nm (2000) skalert ned til 90nm (2004) (65nm dual core)
  - 1.8 GHz (2000) til 3.8 GHz
  - Effektforbruk ca 50 W til 130 W ( > 200 W målt )
- P4 arkitektur erstatta av Intel Core 2
  - Fleire kjernar på brikke
  - Ikkje så avhengig av skalering av klokke
  - Mindre effektforbruk (65 W dual core 2.4GHZ)



# Intel P4 arkitektur

## Power Extrapolation



Pat Gelsinger's Slide from ISSCC 2001

Innovation and Creativity

# Intel P4 arkitektur

- Introdusert 2000 siste versjon 2006
  - Frå 42 til ca 169 millionar transistorar
    - Auka cache
    - Diverse forbetringar (Hyper-Threading, 64 bit utvidelse osv)
  - Starta på 180nm (2000) skalert ned til 90nm (2004) (65nm dual core)
  - 1.8 GHz (2000) til 3.8 GHz
  - Effektforbruk ca 50 W til 130 W ( > 200 W målt )
- P4 arkitektur erstatta av Intel Core 2
  - Fleire kjernar på brikke
  - Ikkje så avhengig av skalering av klokke
  - Mindre effektforbruk (65 W dual core 2.4GHz)

# Intel P4 arkitektur

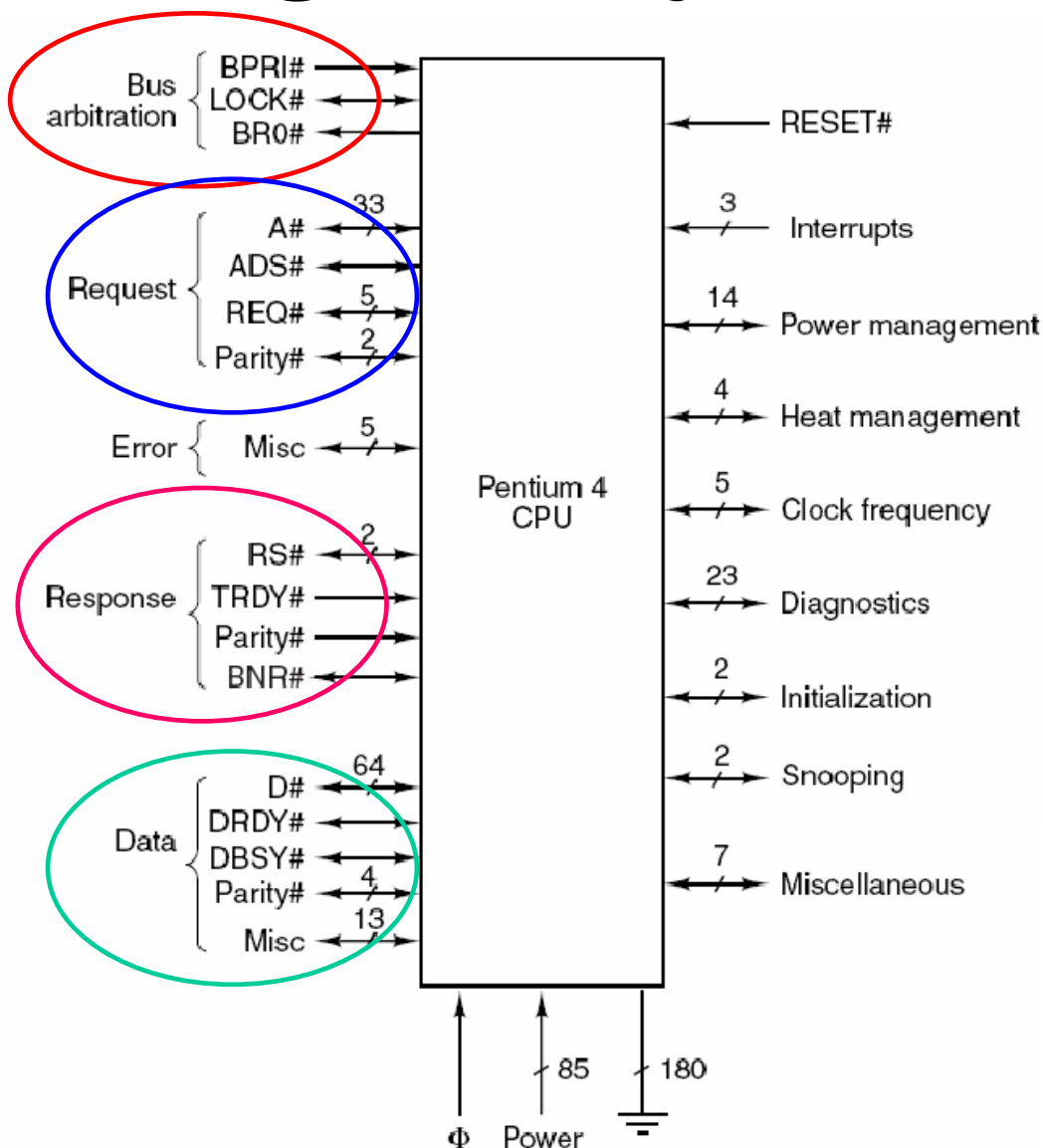
- Hurtigbuffer (cache)
  - Fleire nivå
    - Dei fleste P4 versjonar to nivå
    - Siste toppversjonar tre nivå
  - Nivå 1 separat data og program
    - 8 – 16 KB data
    - 12 000 instruksjonar
  - Nivå 2 felles data og program
    - 256KB – 2MB
  - Nivå 3
    - 2MB



# Intel P4 arkitektur

- Hurtigbuffer Kvifor designval
- Nivå
  - Større buffer lågare hastigheit
  - Større buffer høgare treffrate
  - Derfor:
    - Nivå 1 lite og raskt
    - Nivå 2 større og ikkje fult så rask
- Felles eller separat data/instruksjonar
  - Felles høgare treffrate enklare å lage
  - Separat Kan ha forskjellig optimalisering data og instruksjon
  - Separat kan ha samtidig akess
  - Derfor
  - Nivå 1 separat
  - nivå 2 felles

# P4 Logisk utsjåande



BR0: Bus request

BPRI: Høgprioritet bus request

LOCK: Eigarskap av buss

A: Adresse linjer 33 ((36) 3 alltid 0)

ADS: Adresse gyldig

REQ: Bus cycle (read, write word, block osv)

Parity: Paritet for "A" og "REQ"

RS: Respons Status kode

TRDY: Slave klar

Parity: Paritet for gruppa

BNR: Wait state

D: Datalinjer

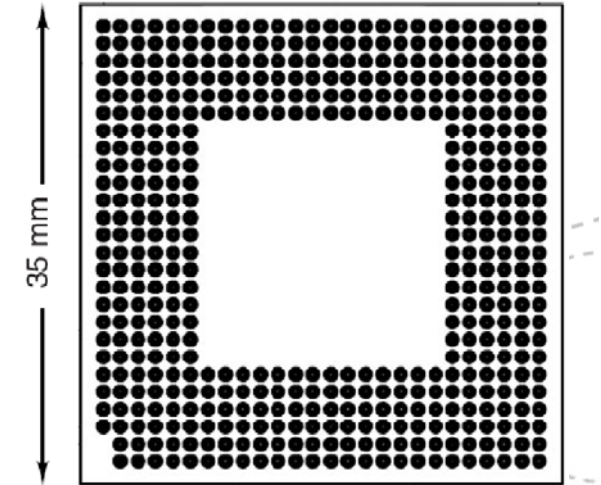
DRDY: Data gyldig

DBSY: Buss ibruk

Parity: Paritet for data

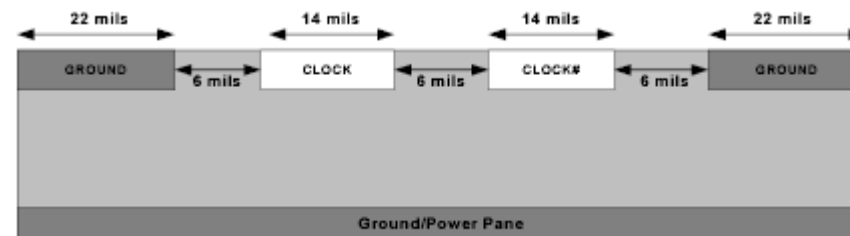
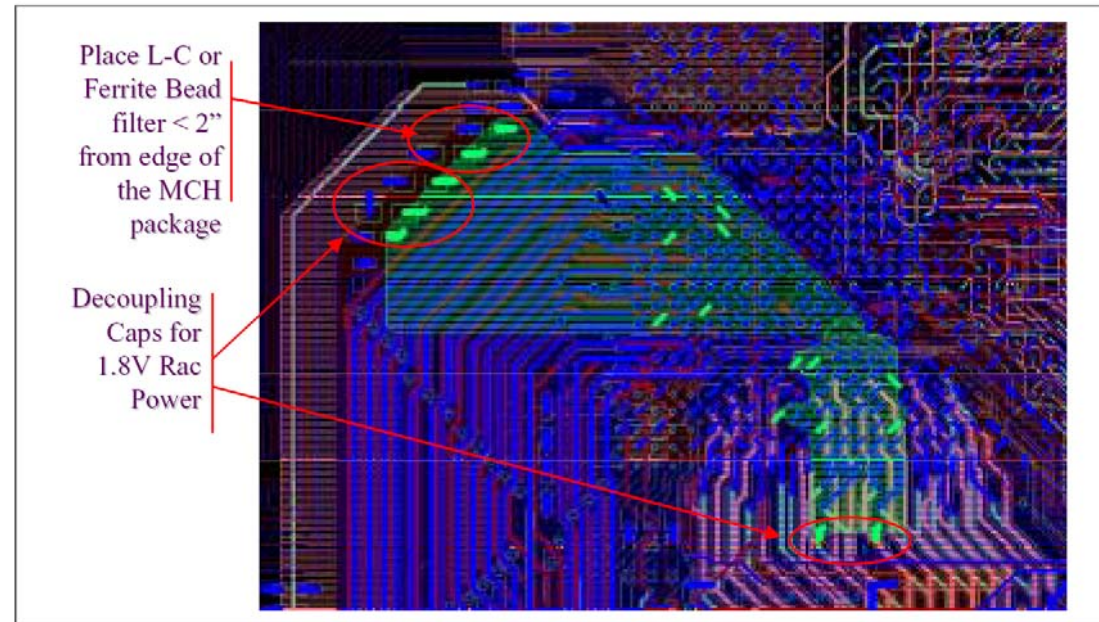
# P4 fysisk utsjåande

- Mange pakkar 423 pinnar, 478 pinnar, 775 pinnar osv
  - 85 VCC (for 478)
  - 180 GND (for 478)
- Strengt krav til utlegg
  - Stømforsyning
  - Klokkelinjer
  - Avkobling
  - Signallinjer
- Strengt krav til kjøling
  - Effektforbruk opp mot 200W



# P4 fysisk utsjåande

- Mange pakkar 423 pinnar, 478 pinnar, 775 pinnar osv
  - 85 VCC (for 478)
  - 180 GND (for 478)
- Strengt krav til utlegg
  - Stømforsyning
  - Klokkelinjer
  - Avkobling
  - Signallinjer
- Strengt krav til kjøling
  - Effektforbruk opp mot 200



# P4 fysisk utsjåande

- Mange pakkar 423 pinnar, 478 pinnar, 775 pinnar osv
  - 85 pinnar VCC (for 478)
  - 180 GND pinnar (for 478)
- Strengt krav til utlegg
  - Stømforsyning
  - Klokkelinjer
  - Avkopling
  - Signallinjer

Nivå 3  
2MB
- Strengt krav til kjøling
  - Effektforbruk opp mot 200W



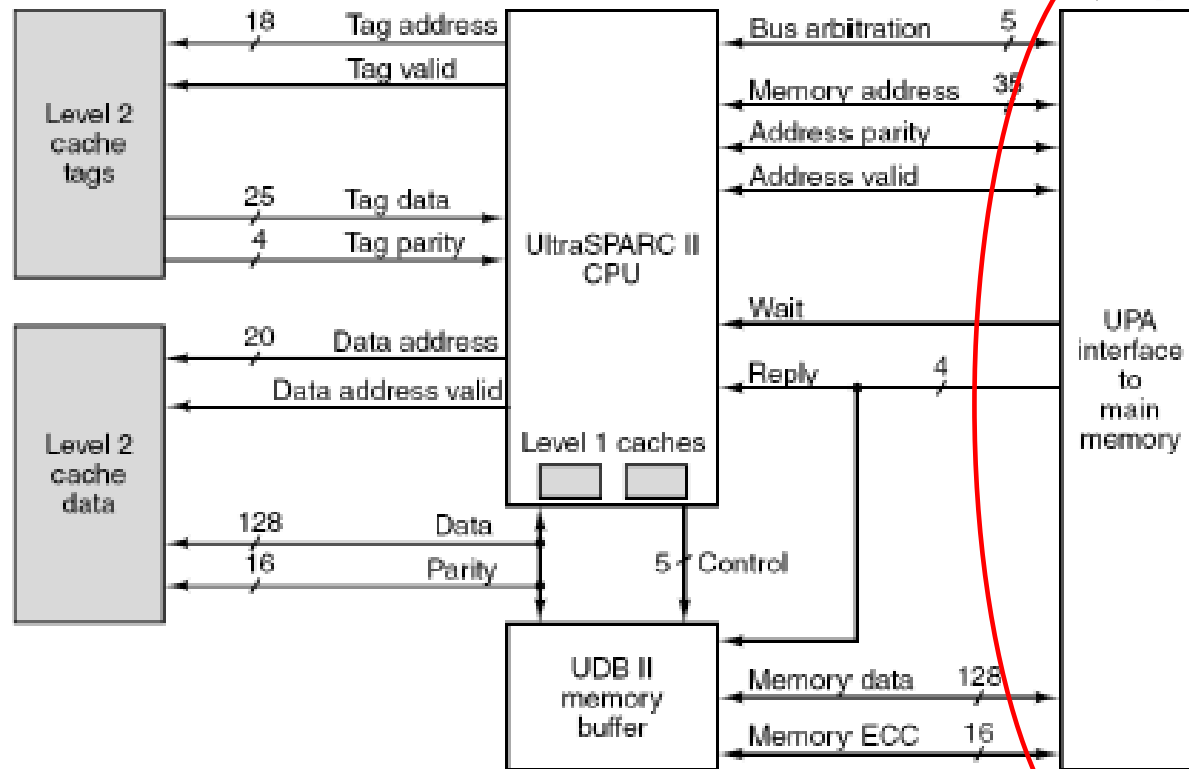
# Sun UltraSparc III Arkitektur

- Introdusert 2000 i produksjon 2006
  - ca 29 millioner transistorar
    - Ikkje så mykje endringar som P4
  - Starta på 180 nm skalert ned til 65nm
  - 600 MHz (2000) til 1.2 GHz
  - Effektforbruk ca 50 W
  - 64 bit arkitektur frå starten
  - Laga for multiprosessering

# Sun UltraSparc III Arkitektur

- Hurtigbuffer (cache)
  - Fleire nivå
    - To nivå
  - Nivå 1 separat data og program på brikke
    - 64 KB data
    - 32KB instruksjonar
  - Nivå 2 felles data og program eksternt
    - Opptil 8 MB

# UltraSparc III Logisk utsjåande



UPA: Ultra Port Architecture

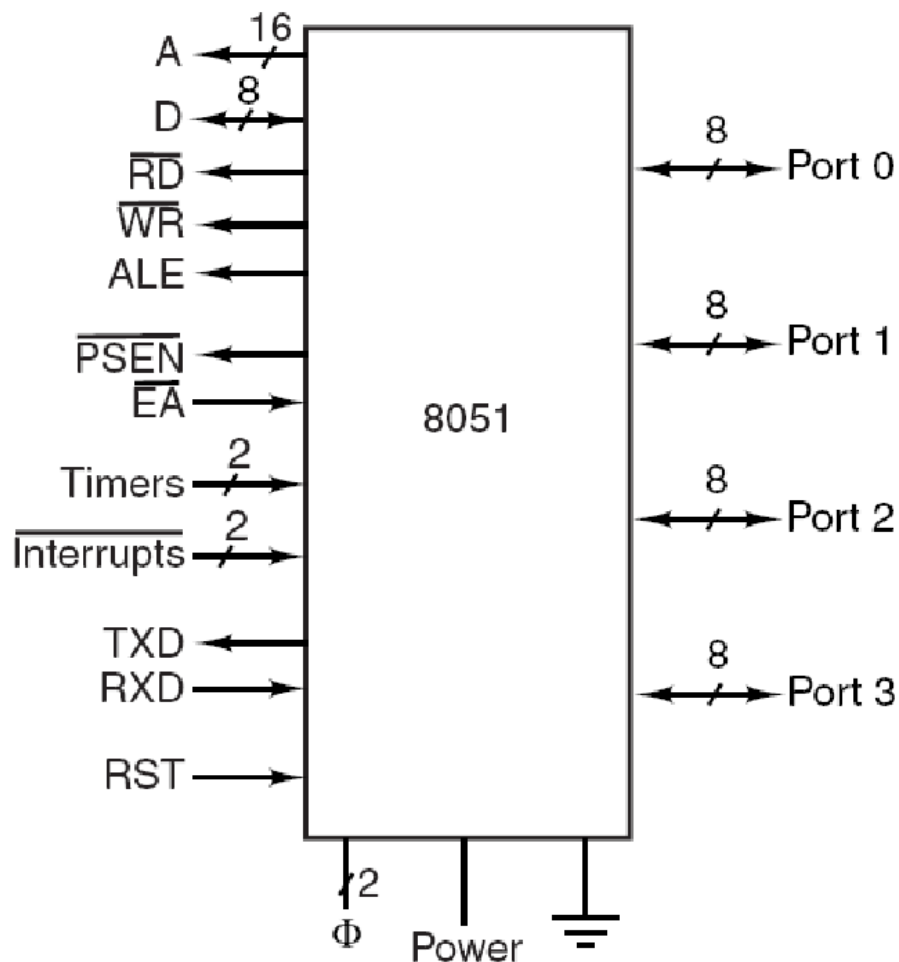
- Grensesnitt mot hovedlager
- Ein UPA for kvar prosessor
- Fleire forespørslar i parallell



# Intel 8051 Arkitektur

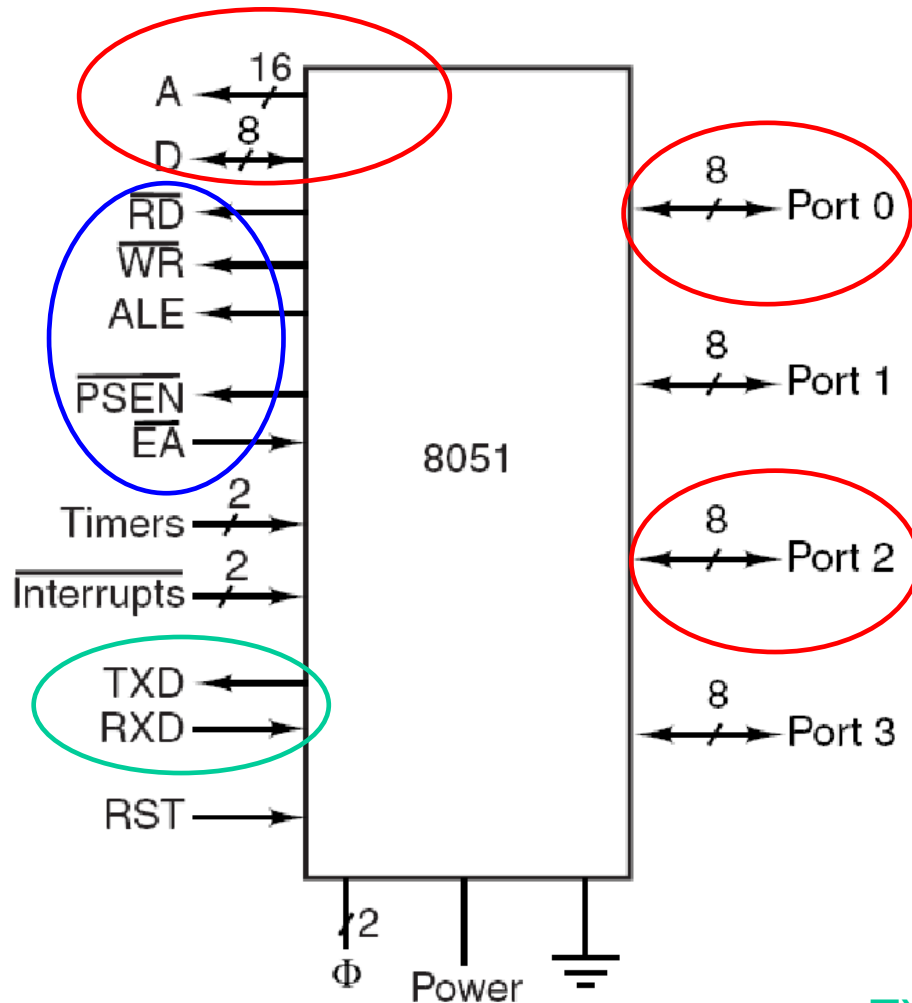
- Introdusert 1980 i produksjon 2006
  - Mange utgåver
    - Mange forskjellige pakketypar
    - For integrasjon på andre brikkar
    - ROM, EPROM, EEPROM
  - Lite strømforbruk
  - 128 – 256 bytes RAM
  - 2- 54 KB ROM
  - Opptil 64 KB eksterntminne

# 8051 Logisk utsjåande



- 16 KB adresse
- 8 bit data
- Data/adresse multipleksa
- 4 generelle portar
  - Eksempel på bruk:
    - 32 I/O pinnar
    - 16 I/O og 16 data/adresse
- RS232 seriegrensesnitt

# 8051 Logisk utsjåande



A: 16 bit adresse (P0 og P2)

D: 8 bit data (P0)

~RD: Eksternt read signal

~WR: Eksternt write signal

ALE: Adress Latch Enabled

-Multipleksar adresse/data

~PSEN: Program Store ENabled

-Les frå programminne

~EA: Bruk av eksternt minne

-Høg: bruk eksternt og interntminne

-Låg: bruk kunn eksterntminne

TXD og RXD: Asynkron seriekommunikasjon

-Hastigheit gitt av klokkefrekvens